

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

1 match found

Displaying result 1 of 1

| Publication | Title Abstract | Assignee | Pub. Date | Filed |
|----------------|---|--------------|------------|------------|
| JP2003133528A2 | INFORMATION MEMORY, INFORMATION WRITING METHOD AND MANUFACTURING METHOD THEREFOR | SONY CORP | 2003-05-09 | 2001-10-24 |

PROBLEM TO BE SOLVED: To reduce the occupied area of an MRAM using ferromagnetic/semiconductor/ferromagnetic materials for a memory for increasing the number of bits per unit area and reduce power consumption.

SOLUTION: The memory comprises first and second write word lines 11, 12 formed in parallel with spacings, bit lines 13 disposed between the first and second write word lines 11, 12 crosswise with respect to the lines 11, 12 in a plan view, first information memory elements 14 including magnetic layers formed at the crossings of the first write work lines 11 and the bit lines 13, and second information memory elements 15 including magnetic layers formed at the crossings of the second write work lines 12 and the bit lines 13.

COPYRIGHT: (C)2003,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-133528

(P2003-133528A)

(43) 公開日 平成15年5月9日(2003.5.9)

| | | | |
|---------------------------|-------|-----------------|--------------|
| (51) Int.Cl. ⁷ | 識別記号 | F I | テ-リ-ト*(参考) |
| H 0 1 L 27/105 | | G 1 1 C 11/14 | A 5 F 0 8 3 |
| G 1 1 C 11/14 | | | E |
| | 11/15 | 11/15 | |
| H 0 1 L 43/08 | | H 0 1 L 43/08 | Z |
| | | 27/10 | 4 4 7 |
| | | 審査請求 未請求 請求項の数6 | O L (全 26 頁) |

(21) 出願番号 特願2001-325802(P2001-325802)

(22) 出願日 平成13年10月24日(2001.10.24)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小室 善昭

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 元吉 真

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

Fターム(参考) 5F083 FZ10 GA05 JA36 JA38 JA39

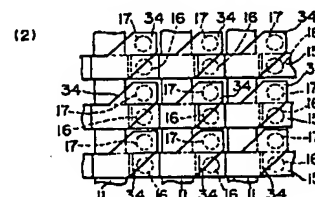
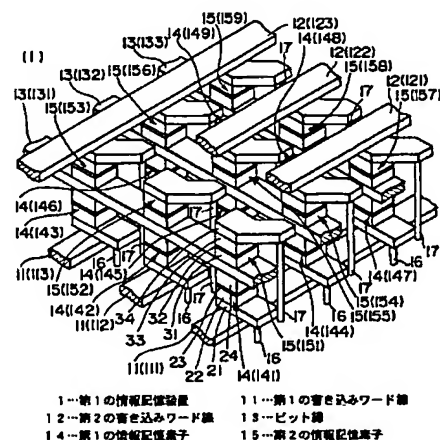
JA40 LA12 LA16 PR39 PR40

(54) 【発明の名称】 情報記憶装置、その情報書き込み方法およびその製造方法

(57) 【要約】

【課題】 強磁性体/半導体/強磁性体をメモリとするMRAMにおいて、占有面積を少なくして単位面積当たりのビット数の増加を図るとともに、消費電力の低を図る。

【解決手段】 間隔を置いて平行に形成された第1、第2の書き込みワード線11、12と、平面視的に第1、第2の書き込みワード線11、12と交差するように第1、第2の書き込みワード線11、12間に配置されたビット線13と、第1の書き込みワード線11とビット線13との交差部に形成された磁性体層を含む第1の情報記憶素子14と、第2の書き込みワード線12とビット線13との交差部に形成された磁性体層を含む第2の情報記憶素子15とを備えているものである。



【特許請求の範囲】

【請求項 1】 半導体基板に形成されたトランジスタと、磁性体層を含む第 1 の情報記憶素子と、磁性体層を含む第 2 の情報記憶素子とを備えた情報記憶装置であって、

前記半導体基板の基板面方向にそって形成された第 1 の書き込みワード線と、

前記第 1 の書き込みワード線上に所定間隔を置いて交差するように形成されたビット線と、

前記第 1 の書き込みワード線と前記ビット線との交差部における前記第 1 の書き込みワード線と前記ビット線との間に設けられた前記第 1 の情報記憶素子と、

前記ビット線上に所定間隔を置いて交差するように形成されるとともに前記第 1 の書き込みワード線にそって形成された第 2 の書き込みワード線と、

前記ビット線を挟んで前記第 1 の情報記憶素子に対向する位置に配置されたもので前記ビット線と前記第 2 の書き込みワード線との交差部における前記ビット線と前記第 2 の書き込みワード線との間に設けられた前記第 2 の情報記憶素子とを備えたことを特徴とする情報記憶装置。

【請求項 2】 半導体基板に形成されたトランジスタ素子と、磁性体層を含む第 1 の情報記憶素子と、磁性体層を含む第 2 の情報記憶素子とを備えた情報記憶装置であって、

前記半導体基板の基板面方向にそって形成された第 1 のビット線と、

前記第 1 のビット線上に所定間隔を置いて交差するように形成された書き込みワード線と、

前記第 1 のビット線と前記書き込みワード線との交差部における前記第 1 のビット線と前記書き込みワード線との間に設けられた前記第 1 の情報記憶素子と、

前記書き込みワード線上に所定間隔を置いて交差するように形成されるとともに前記第 1 のビット線にそって形成された第 2 のビット線と、

前記書き込みワード線を挟んで前記第 1 の情報記憶素子に対向する位置に配置されたもので前記書き込みワード線と前記第 2 のビット線との交差部における前記書き込みワード線と前記第 2 のビット線との間に設けられた前記第 2 の情報記憶素子とを備えたことを特徴とする情報記憶装置。

【請求項 3】 半導体基板の基板面方向にそって形成された第 1 の書き込みワード線と、

前記第 1 の書き込みワード線上に所定間隔を置いて交差するように形成されたビット線と、

前記第 1 の書き込みワード線と前記ビット線との交差部における前記第 1 の書き込みワード線と前記ビット線との間に設けられた第 1 の情報記憶素子と前記ビット線上に所定間隔を置いて交差するように形成されるとともに前記第 1 の書き込みワード線にそって形成された第 2 の

書き込みワード線と、

前記ビット線を挟んで前記第 1 の情報記憶素子に対向する位置に配置されたもので前記ビット線と前記第 2 の書き込みワード線との交差部における前記ビット線と前記第 2 の書き込みワード線との間に設けられた第 2 の情報記憶素子とを備えた情報記憶装置の情報書き込み方法であって、

前記第 1 の情報記憶素子と前記第 2 の情報記憶素子とを同方向の磁化方向で書き込みを行う場合、

前記第 1 の書き込みワード線と前記第 2 の書き込みワード線とに逆方向の電流を同時に流して情報の書き込みを行うことを特徴とする情報記憶装置の情報書き込み方法。

【請求項 4】 半導体基板の基板面方向にそって形成された第 1 のビット線と、

前記第 1 のビット線上に所定間隔を置いて交差するように形成された書き込みワード線と、

前記第 1 のビット線と前記書き込みワード線との交差部における前記第 1 のビット線と前記書き込みワード線との間に設けられた第 1 の情報記憶素子と前記書き込みワード線上に所定間隔を置いて交差するように形成されるとともに前記第 1 のビット線にそって形成された第 2 のビット線と、

前記書き込みワード線を挟んで前記第 1 の情報記憶素子に対向する位置に配置されたもので前記書き込みワード線と前記第 2 のビット線との交差部における前記書き込みワード線と前記第 2 のビット線との間に設けられた第 2 の情報記憶素子とを備えた情報記憶装置の情報書き込み方法であって、

前記第 1 の情報記憶素子と前記第 2 の情報記憶素子とを同方向の磁化方向で書き込みを行う場合、

前記第 1 のビット線と前記第 2 のビット線とに逆方向の電流を同時に流して情報の書き込みを行うことを特徴とする情報記憶装置の情報書き込み方法。

【請求項 5】 磁気ランダムアクセスメモリの製造方法であって、

トランジスタ素子が形成された基板上を覆う下地絶縁膜上に第 1 の書き込みワード線を形成する工程と、

前記下地絶縁膜上に前記書き込みワード線を覆う第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜より前記トランジスタ素子に通じるコンタクトを形成する工程と、

前記第 1 の絶縁膜上に前記第 1 の書き込みワード線より前記コンタクトに接続する状態に第 1 の反強磁性体層を含む第 1 の導電体層を形成する工程と、

前記書き込みワード線上の前記第 1 の導電体層上に第 1 の磁気記憶素子を形成する工程と、

前記第 1 の絶縁膜上に第 1 の磁気記憶素子を覆う第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜に前記第 1 の書き込みワード線に平面

視的に交差するもので前記第1の磁気記憶素子上を通るビット線を形成する工程と、

前記ビット線を間にして前記第1の磁気記憶素子に対向する位置に第2の磁気記憶素子を形成する工程と、

前記第2の絶縁膜上に上記第2の磁気記憶素子を覆う第3の絶縁膜を形成する工程と、

前記第3の絶縁膜より前記トランジスタ素子に通じる第2のコンタクトを形成する工程と、

前記第3の絶縁膜に前記第2の磁気記憶素子上より前記第2のコンタクトに接続する第2の反強磁性体層を含む第2の導電体層を形成する工程と、

前記第3の絶縁膜上に前記第2の導電体層を覆う第4の絶縁膜を形成する工程と、

前記第2の磁気記憶素子上方における前記第4の絶縁膜上に前記第1の書き込みワード線に沿った方向に第2の書き込みワード線を形成する工程とを備えたことを特徴とする情報記憶装置の製造方法。

【請求項6】 磁気ランダムアクセスメモリの製造方法であって、

トランジスタ素子が形成された基板上を覆う下地絶縁膜上に第1のビット線を形成する工程と、

前記下地絶縁膜上に前記ビット線を覆う第1の絶縁膜を形成する工程と、

前記第1のビット線の上に第1の磁気記憶素子を形成する工程と、

前記第1の絶縁膜上に前記第1の磁気記憶素子を覆う第2の絶縁膜を形成する工程と、

前記第2の絶縁膜より前記トランジスタ素子に通じる第1のコンタクトを形成する工程と、

前記第2の絶縁膜上に前記第1の磁気記憶素子上より前記第1のコンタクトに接続するもので第1の反強磁性体層を含む第1の導電体層を形成する工程と、

前記第2の絶縁膜上に第1の導電体層を覆う第3の絶縁膜を形成する工程と、

前記第3の絶縁膜に前記第1のビット線に平面視的に交差するもので前記第1の磁気記憶素子上を通る書き込みワード線を形成する工程と、

前記第3の絶縁膜上に上記書き込みワード線を覆う第4の絶縁膜を形成する工程と、

前記第4の絶縁膜より前記トランジスタ素子に通じる第2のコンタクトを形成する工程と、

前記第4の絶縁膜上に前記第1の磁気記憶素子上より前記第2のコンタクトに接続するもので第2の反強磁性体層を含む第2の導電体層とともに、書き込みワード線を間にして前記第2の導電体層上の前記第1の磁気記憶素子に対向する位置に第2の磁気記憶素子を形成する工程と、

前記第4の絶縁膜上に前記第2の導電体層および前記第2の磁気記憶素子を覆う第5の絶縁膜を形成する工程と、

前記第5の絶縁膜上に前記第2の磁気記憶素子上方を通り前記第1のビット線に沿った方向に第2のビット線を形成する工程とを備えたことを特徴とする情報記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、情報記憶装置、その製造方法および情報書き込み方に関し、詳しくは強磁性体からなる磁化リソグラフィーを外部からの磁界を与えることにより、磁化領域の磁化を制御する磁気抵抗効果素子を備えた情報記憶装置、その製造方法および情報書き込み方に関する。

【0002】

【従来の技術】情報通信機器、特に携帯端末などの個人用小型機器の飛躍的な普及にともない、これを構成するメモリ素子やロジック素子等の素子には、高集積化、高速化、低消費電力化など、一層の高性能化が要求されている。特に不揮発性メモリはユビキタス時代に必要不可欠の素子と考えられている。

【0003】例えば、電源の消耗やトラブル、サーバーとネットワークが何らかの障害により切断された場合であっても、不揮発性メモリは個人の重要な情報を保護することができる。そして、不揮発性メモリの高密度化、大容量化は、可動部分の存在により本質的に小型化が不可能なハードディスクや光ディスクを置き換える技術としてますます重要になってきている。

【0004】また、最近の携帯機器は不要な回路ブロックをスタンバイ状態にしてでき得る限り消費電力を抑えようと設計されているが、高速ネットワークメモリと大容量ストレージメモリを兼ねることができる不揮発性メモリが実現できれば、消費電力とメモリとの無駄を無くすることができる。また、電源を入ると瞬時に起動できる、いわゆるインスタント・オン機能も高速の大容量不揮発性メモリが実現できれば可能になってくる。

【0005】不揮発性メモリとしては、半導体を用いたフラッシュメモリや、強誘電体を用いたFRAM (Ferroelectric Random Access Memory) などがあげられる。しかしながら、フラッシュメモリは、書き込み速度が μ 秒の桁であるため遅いという欠点がある。また構造が複雑なために高集積化が困難であり、しかも、アクセス時間が100ns程度と遅いという欠点がある。一方、FRAMにおいては、書き換え可能回数が $10^{12} \sim 10^{14}$ で完全にスタティックランダムアクセスメモリやダイナミックランダムアクセスメモリに置き換えるには耐久性が低いという問題が指摘されている。また、強誘電体キャパシタの微細加工が難しいという課題も指摘されている。

【0006】これらの欠点を有さない不揮発性メモリとして注目されているのが、例えば「Wang et al., IEEE Trans. Magn. 33 (1997) p4498」に記載されているよう

な、MRAM (Magnetic Random Access Memory) と呼ばれる磁気メモリであり、近年のTMR (Tunnel Magnetic Resistance) 材料の特性向上により注目を集めるようになってきている。

【0007】MRAMは、構造が単純であるため高集積化が容易であり、また磁気モーメントの回転により記憶を行うために、書き換え回数が大であると予測されている。またアクセス時間についても、非常に高速であることが予想され、既に100MHzで動作可能であることが、R.Scheuerlein et al, ISSCC Digest of Papers (Feb. 2000) p128-129 で報告されている。また、TMR (Tunnel Magnetic Resistance) 効果により高出力が得られるようになった現在では、大きく改善されてきている。

【0008】上述の通り、高速化・高集積化が容易という長所を有するMRAMではあるが、書き込みは、TMR素子に近接させて設けられたビット線と書き込み用ワード線に電流を流し、その発生磁界によって行う。TMR素子の記憶層(記憶層)の反転磁界は材料にもよるが、200e⁻²2000e⁻²が必要であり、このときの電流は数十mAになる。これは消費電流の増大につながり、携帯機器の低消費電力化に対して大きな課題となる。また、高集積化の面からは、ビット線および書き込み用ワード線は、リソグラフィ技術から決定される最小線幅に近いサイズが要求される。仮に、ビット線幅/ワード線幅が0.6μmとして、配線の膜厚を500nmとすると、3MA/cm²になり、銅配線を用いた場合(実用電流密度:0.5MA/cm²)もエレクトロマイグレーションに対する寿命は大きな課題となる。さらに微細化していくと、強誘電体の反転磁界は増加し、配線の次元も縮小しなければならないため、この配線信頼性の課題はより大きくなってくる。

【0009】また、MRAMには、構造上の本質的な課題が存在する。MRAMにおける記憶は、配線に電流を流すことによって発生する電流磁場によって記憶層の磁化を回転させることによって行っている。ところが、高集積化によって、配線が細くなるにともない、書き込み線に流すことができる臨界電流値が下がるため、得られる磁界が小さくなり、被記憶領域の保磁力を小さくせざるを得ない。これは、情報記憶装置の信頼性が低下することを意味する。また、磁界というものは、光や電子線のように絞ることができないため、高集積化した場合には、クロストークの大きな原因になると考えられる。これを防止するためにキーマン構造等も提案されているが、構造の複雑化は避けられない。以上のように、電流磁場による書き込みには本質的に多くの課題があり、電流磁場による書き込みが将来のMRAMにおける大きな欠点になる恐れがある。

【0010】ところで、このような欠点は、磁界を用いることなく磁化を制御することが可能であれば解消する

ことができる。そして、磁界を用いることなく磁化を制御する手段として、例えば「Mattson et al., Phys. Rev. Lett. 77(1993) p.185」に記載されているように、強磁性体/半導体/強磁性体を積層して用いる手法が提案されている。

【0011】これは、強磁性体間の磁気的な結合が、中間層である半導体層のキャリア濃度に依存していることを利用するものである。強磁性体/半導体/強磁性体を積層した積層体では、中間層である半導体層のキャリア濃度を制御することにより、強磁性層間の磁気的結合を、例えば平行から反平行へと変化させることが可能である。そこで、一方の磁性層(固定層)の保磁力を大としておけば、他方の磁性層(可動層)の磁化を固定層に対して回転させることができる。特に電気的な入力で磁化を回転させる方法は、小型全固定素子を実現する技術として有望である。

【0012】これらの情報記憶素子の構造は種々報告されている。一例をあげると、特開平11-317071号公報に開示されているように、情報記憶素子の構成要素を成す磁性体膜を含む各種膜がビット線およびワード線に対して平行に積層されている構造がある。これらの製造方法としては情報記憶素子の構成要素を成す磁性体膜を含む各種膜を形成後、フォトリソグラフィ技術とドライエッチング技術とによって所定の長方形等の形状に加工する。

【0013】

【発明が解決しようとする課題】しかしながら、強磁性体/半導体/強磁性体を積層した積層体を製造する上で微細化が必要となるが、微細化を行うことにより、情報記憶素子の抵抗値が上昇する。また情報記憶素子を大きめに作製した場合、抵抗値は小さくなり、消費電力も少なくなるが、単位面積当たりのビット数が少なくなるという課題を有している。本発明は、上記説明した課題を解決し、占有面積が少なく、消費電力の少ない情報記憶素子を製造することを課題としている。

【0014】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた情報記憶装置、その製造方法および書き込み方法である。

【0015】本発明の第1の情報記憶装置は、半導体基板に形成されたトランジスタと、磁性体層を含む第1の情報記憶素子と、磁性体層を含む第2の情報記憶素子とを備えた情報記憶装置であって、前記半導体基板の基板面方向にそって形成された第1の書き込みワード線と、前記第1の書き込みワード線上に所定間隔を置いて交差するように形成されたビット線と、前記第1の書き込みワード線と前記ビット線との交差部における前記第1の書き込みワード線と前記ビット線との間に設けられた前記第1の情報記憶素子と、前記ビット線上に所定間隔を置いて交差するように形成されるとともに前記第1の書

き込みワード線にそって形成された第2の書き込みワード線と、前記ビット線を挟んで前記第1の情報記憶素子に対向する位置に配置されたもので前記ビット線と前記第2の書き込みワード線との交差部における前記ビット線と前記第2の書き込みワード線との間に設けられた前記第2の情報記憶素子とを備えたものである。

【0016】上記第1の情報記憶装置では、ビット線を挟んで第1の情報記憶素子と第2の情報記憶素子とが設けられていることから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍になる。このため、情報の記憶量が向上される。また1本のビット線に接続される第1、第2の情報記憶素子の磁化方向を同方向に変える場合には、第1の書き込みワード線と第2の書き込みワード線とに逆方向の電流を同時に流して情報の書き込みを行うことによって、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、この場合には、電流値を少なくしても、第1、第2の情報記憶素子における記憶層の磁化を行うことができ、そのため、電流値を少なくすることが可能になり、低消費電力化が可能となる。

【0017】本発明の第2の情報記憶装置は、半導体基板に形成されたトランジスタと、磁性体層を含む第1の情報記憶素子と、磁性体層を含む第2の情報記憶素子とを備えた情報記憶装置であって、前記半導体基板の基板面方向にそって形成された第1のビット線と、前記第1のビット線上に所定間隔を置いて交差するように形成された書き込みワード線と、前記第1のビット線と前記書き込みワード線との交差部における前記第1のビット線と前記書き込みワード線との間に設けられた前記第1の情報記憶素子と、前記書き込みワード線上に所定間隔を置いて交差するように形成されるとともに前記第1のビット線にそって形成された第2のビット線と、前記書き込みワード線を挟んで前記第1の情報記憶素子に対向する位置に配置されたもので前記書き込みワード線と前記第2のビット線との交差部における前記書き込みワード線と前記第2のビット線との間に設けられた前記第2の情報記憶素子とを備えたものである。

【0018】上記第2の情報記憶装置では、書き込みワード線を挟んで第1の情報記憶素子と第2の情報記憶素子とが設けられていることから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍になる。このため、情報の記憶量が向上される。また1本の書き込みワード線によって第1、第2の情報記憶素子の磁化方向を同方向に変える場合には、第1のビット線と第2のビット線とに逆方向の電流を同時に流して情報の書き込みを行うことによって、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、この場合には、電流値を少なくしても、第1、第2の情報記憶素子における記憶層の磁化を行うことができ、そのため、電流値を少なくすることが可能に

なり、低消費電力化が可能となる。

【0019】本発明の第1の情報記憶装置の情報書き込み方法は、半導体基板の基板面方向にそって形成された第1の書き込みワード線と、前記第1の書き込みワード線上に所定間隔を置いて交差するように形成されたビット線と、前記第1の書き込みワード線と前記ビット線との交差部における前記第1の書き込みワード線と前記ビット線との間に設けられた第1の情報記憶素子と、前記ビット線上に所定間隔を置いて交差するように形成されるとともに前記第1の書き込みワード線にそって形成された第2の書き込みワード線と、前記ビット線を挟んで前記第1の情報記憶素子に対向する位置に配置されたもので前記ビット線と前記第2の書き込みワード線との交差部における前記ビット線と前記第2の書き込みワード線との間に設けられた第2の情報記憶素子とを備えた情報記憶装置の情報書き込み方法であって、前記第1の情報記憶素子と前記第2の情報記憶素子とを同方向の磁化方向で書き込みを行う場合、前記第1の書き込みワード線と前記第2の書き込みワード線とに逆方向の電流を同時に流して情報の書き込みを行う情報書き込み方法である。

【0020】上記第1の情報記憶装置の情報書き込み方法では、第1の情報記憶素子と第2の情報記憶素子とを同方向の磁化方向で書き込みを行う場合、第1の書き込みワード線と第2の書き込みワード線とに逆方向の電流を同時に流して情報の書き込みを行うことによって、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、この場合には、電流値を少なくしても、第1、第2の情報記憶素子における記憶層の磁化を行うことができ、そのため、電流値を少なくすることが可能になり、低消費電力化が可能となる。

【0021】本発明の第2の情報記憶装置の情報書き込み方法は、半導体基板の基板面方向にそって形成された第1のビット線と、前記第1のビット線上に所定間隔を置いて交差するように形成された書き込みワード線と、前記第1のビット線と前記書き込みワード線との交差部における前記第1のビット線と前記書き込みワード線との間に設けられた第1の情報記憶素子と、前記書き込みワード線上に所定間隔を置いて交差するように形成されるとともに前記第1のビット線にそって形成された第2のビット線と、前記書き込みワード線を挟んで前記第1の情報記憶素子に対向する位置に配置されたもので前記書き込みワード線と前記第2のビット線との交差部における前記書き込みワード線と前記第2のビット線との間に設けられた第2の情報記憶素子とを備えた情報記憶装置の情報書き込み方法であって、前記第1の情報記憶素子と前記第2の情報記憶素子とを同方向の磁化方向で書き込みを行う場合、前記第1のビット線と前記第2のビット線とに逆方向の電流を同時に流して情報の書き込み

を行う情報書き込み方法である。

【0022】上記第2の情報記憶装置の情報書き込み方法では、第1の情報記憶素子と第2の情報記憶素子とを同方向の磁化方向で書き込みを行う場合、第1のビット線と第2のビット線とに逆方向の電流を同時に流して情報の書き込みを行うことによって、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、この場合には、電流値を少なくしても、第1、第2の情報記憶素子における記憶層の磁化を行うことができ、そのため、電流値を少なくすること

が可能になり、低消費電力化が可能となる。

【0023】本発明の第1の情報記憶装置の製造方法は、トランジスタ素子が形成された基板上を覆う下地絶縁膜上に第1の書き込み用ワード線を形成する工程と、前記下地絶縁膜上に前記書き込みワード線を覆う第1の絶縁膜を形成する工程と、前記第1の絶縁膜より前記トランジスタ素子に通じるコンタクトを形成する工程と、前記第1の絶縁膜上に前記第1の書き込みワード線より前記コンタクトに接続する状態に第1の反強磁性体層を含む第1の導電体層を形成する工程と、前記書き込みワード線の上の前記第1の導電体層上に第1の磁気記憶素子を形成する工程と、前記第1の絶縁膜上に第1の磁気記憶素子を覆う第2の絶縁膜を形成する工程と、前記第2の絶縁膜に前記第1の書き込みワード線に平面視的に交差するもので前記第1の磁気記憶素子上を通るビット線を形成する工程と、前記ビット線を間にして前記第1の磁気記憶素子に対向する位置に第2の磁気記憶素子を形成する工程と、前記第2の絶縁膜上に上記第2の磁気記憶素子を覆う第3の絶縁膜を形成する工程と、前記第3の絶縁膜より前記トランジスタ素子に通じる第2のコンタクトを形成する工程と、前記第3の絶縁膜に前記第2の磁気記憶素子上より前記第2のコンタクトに接続する第2の反強磁性体層を含む第2の導電体層を形成する工程と、前記第3の絶縁膜上に前記第2の導電体層を覆う第4の絶縁膜を形成する工程と、前記第2の磁気記憶素子上方における前記第4の絶縁膜上に前記第1の書き込みワード線に沿った方向に第2の書き込み用ワード線を形成する工程とを備えた情報記憶装置の製造方法である。

【0024】上記第1の情報記憶装置の製造方法では、ビット線を挟んで第1の情報記憶素子と第2の情報記憶素子とを形成することから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍の情報記憶装置を形成することが可能になる。このため、情報の記憶量が向上される。また単位ビット当たりの製造コストが低減される。

【0025】本発明の第2の情報記憶装置の製造方法は、磁気ランダムアクセスメモリの製造方法であって、トランジスタ素子が形成された基板上を覆う下地絶縁膜上に第1のビット線を形成する工程と、前記下地絶縁膜

上に前記ビット線を覆う第1の絶縁膜を形成する工程と、前記第1のビット線に第1の磁気記憶素子を形成する工程と、前記第1の絶縁膜上に前記第1の磁気記憶素子を覆う第2の絶縁膜を形成する工程と、前記第2の絶縁膜より前記トランジスタ素子に通じる第1のコンタクトを形成する工程と、前記第2の絶縁膜上に前記第1の磁気記憶素子上より前記第1のコンタクトに接続するもので第1の反強磁性体層を含む第1の導電体層を形成する工程と、前記第2の絶縁膜上に第1の導電体層を覆う第3の絶縁膜を形成する工程と、前記第3の絶縁膜に前記第1のビット線に平面視的に交差するもので前記第1の磁気記憶素子上を通る書き込みワード線を形成する工程と、前記第3の絶縁膜上に上記書き込みワード線を覆う第4の絶縁膜を形成する工程と、前記第4の絶縁膜より前記トランジスタ素子に通じる第2のコンタクトを形成する工程と、前記第4の絶縁膜上に前記第1の磁気記憶素子上より前記第2のコンタクトに接続するもので第2の反強磁性体層を含む第2の導電体層とともに、書き込みワード線を間にして前記第2の導電体層上の前記第1の磁気記憶素子に対向する位置に第2の磁気記憶素子を形成する工程と、前記第4の絶縁膜上に前記第2の導電体層および前記第2の磁気記憶素子を覆う第5の絶縁膜を形成する工程と、前記第5の絶縁膜上に前記第2の磁気記憶素子上方を通り前記第1のビット線に沿った方向に第2のビット線を形成する工程とを備えた情報記憶装置の製造方法である。

【0026】上記第2の情報記憶装置の製造方法では、書き込みワード線を挟んで第1の情報記憶素子と第2の情報記憶素子とを形成することから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍の情報記憶装置を形成することが可能になる。このため、情報の記憶量が向上される。また単位ビット当たりの製造コストが低減される。

【0027】

【発明の実施の形態】本発明の第1の情報記憶装置に係る第1の実施の形態を図1によって説明する。図1の(1)は情報記憶装置のメモリ部を示す部分断面斜視図であり、(2)は情報記憶装置のメモリ部を示すレイアウト図である。

【0028】図1に示すように、第1の書き込みワード線11(111、112、113)は例えば同一平面に並列に配置されている。各第1の書き込みワード線111、112、113上には、各第1の書き込みワード線111、112、113と所定の間隔を置いて対応する第2の書き込みワード線12(121、122、123)が同一平面にかつ並列に配置されている。

【0029】各第1の書き込みワード線111、112、113とそれに対向する第2の書き込みワード線121、122、123との間には、ビット線13(131、132、133)が例えば同一平面にかつ上記第1

の書き込みワード線111、112、113（第2の書き込みワード線121、122、123）に交差するように並列に配置されている。ここでは、各ビット線13は第1、第2の各第1、第2の書き込みワード線11、12と直交するように配置されている。

【0030】さらに上記第1の書き込みワード線11と上記各ビット線13とが交差するそれぞれの位置には第1の情報記憶素子14（141～149）が配置されている。また、上記各第2の書き込みワード線12と上記各ビット線13とが交差するそれぞれの位置には第2の情報記憶素子15（151～159）が配置されている。すなわち、各第1、第2の情報記憶素子14、15は各第1の書き込みワード線11、12と各ビット線13とが交差する各位置でビット線13を挟んで対向する位置に配置されている。

【0031】上記第1の情報記憶素子14は、例えば、磁気トンネル接合素子（MTJ素子：MTJはMagnetic Tunnel Junctionの略）もしくはトンネル磁気抵抗素子（TMR素子：TMRはTunnel Magnetic Resistanceの略）で構成されている。一例として、第1の書き込みワード線11側より、第1の反強磁性体層を含む導電体層21、第1の磁化固体層22、第1のトンネル絶縁層23、第1の記憶層24を積層した構造からなり、上記第1の導電体層21は、例えば、上記第1の書き込みワード線11側より、第1のバリア層と第1の反強磁性体層とを積層して形成されている。また第1の書き込みワード線11と上記第1の導電体層21との間には第1の絶縁層（図示せず）が形成されている。また、上記各第1の導電体層21は、上記トランジスタ（図示せず）に接続する第1のコンタクト16が接続されている。

【0032】上記第2の情報記憶素子15は、例えば、MTJ素子もしくはTMR素子で構成されている。一例として、ビット線13側より、第2の記憶層31、第2のトンネル絶縁層32、第2の磁化固体層33、第2の導電体層34を含む第2の導電体層34を積層した構造からなり、上記第2の導電体層34は、例えば、上記第2の書き込みワード線12側より、第1のバリア層と第2の反強磁性体層とを積層して形成されている。また第2の書き込みワード線12と上記第2の導電体層34との間には第4の絶縁層（図示せず）が形成されている。また、上記各第2の導電体層34は、上記トランジスタ（図示せず）に接続する第2のコンタクト17が接続されている。

【0033】上記第1の情報記憶素子14は、その書き込み時には、例えば、選択される第1の情報記憶素子14に対応する第1の書き込みワード線11、ビット線13を選択して電流を流し、磁界を発生させ、第1の情報記憶素子14内における第1の記憶層24（強磁性体層）に磁界の方向を記憶する。

【0034】また上記第2の情報記憶素子15は、その書き込み時には、例えば、選択される第2の情報記憶素子15に対応する第2の書き込みワード線12、ビット線13を選択して電流を流し、磁界を発生させ、第2の情報記憶素子15内における第2の記憶層31（強磁性体層）に磁界の方向を記憶する。

【0035】一方、読み出し時には、例えば、選択される第1の情報記憶素子14の情報を読み出す場合に、第1の情報記憶素子14に対応するビット線13と第1のコンタクト16との間に電圧をかけ、流れるセンス電流を検知し、記憶情報を取り出す。

【0036】また、例えば、選択される第2の情報記憶素子15の情報を読み出す場合に、第2の情報記憶素子15に対応するビット線13と第2のコンタクト17との間に電圧をかけ、流れるセンス電流を検知し、記憶情報を取り出す。

【0037】第1、第2の情報記憶素子14、15は、デジタルの0、1を書き込むことによりその抵抗値が変化することを利用している。

【0038】次に、上記図1によって説明した情報記憶装置のビット線13を挟む一つの情報記憶素子対に着目し、情報記憶装置の詳細を、図2の概略構成図によって説明する。なお、下地絶縁膜、第1～第4の絶縁膜は2点鎖線で示した。

【0039】図2に示すように、半導体基板（図示せず）にはトランジスタ素子（図示せず）が形成され、それを覆う下地絶縁膜51が形成されている。この下地絶縁膜51上には第1の書き込みワード線11が形成されている。上記第1の書き込みワード線11は、例えばアルミニウム、アルミニウム合金、銅、銅合金等の一般的な半導体装置の配線材料で形成されている。もしくは、イリジウム、オスミウム、クロム、ジルコニウム、タングステン、タンタル、チタントリウム、バナジウム、モリブデン、ロジウム、ニッケルおよびルテニウムのうちの少なくとも1種で形成されている、もしくはこれら材料のうちの複数種からなる合金で形成されている。上記下地絶縁膜51上には上記第1の書き込みワード線11を覆う第1の絶縁膜41が、例えば酸化シリコンもしくは酸化アルミニウムで形成されている。この第1の絶縁膜41および下地絶縁膜51には、第1の絶縁膜41より上記トランジスタ素子に接続する第1のコンタクト16が形成されている。この第1のコンタクト16は、例えば窒化チタン膜とチタン膜とからなるバリア層を介してタングステンで形成されている。タングステンの代わりに、上記第1の書き込みワード線11と同様の材料を用いることも可能である。

【0040】上記第1の絶縁膜41上には、上記第1の書き込みワード線11上より上記第1のコンタクト16に接続する状態に第1の反強磁性体層を含む第1の導電体層21が形成されている。上記第1の導電体層21

は、上記説明したのと同様に、バリア層と反強磁性体層との積層構造を成している。

【0041】さらに第1の情報記憶素子14は、上記第1の書き込みワード線11の上における上記第1の導電体層21上に、第1の書き込みワード線11側より、第1の磁化固定層22、第1のトンネル絶縁層23、第1の記憶層24の順で積層された積層体で構成されている。また、上記第1の導電体層21には上記トランジスタ素子に接続される第1のコンタクト16が接続されている。

【0042】上記第1の絶縁膜41上には、第1の情報記憶素子14の上面が露出するように、この第1の情報記憶素子14を埋め込む第2の絶縁膜42が形成されている。上記第2の絶縁膜42には、上記第1の情報記憶素子14に接続するビット線13が、例えば溝配線構造に形成されている。

【0043】または、第2の絶縁膜42が下層と上層の2層に形成されている。すなわち、第2の絶縁膜の下層は、第1の情報記憶素子14を埋め込むようにかつ第1の情報記憶素子14の上面が露出するように形成され、その上に第1の情報記憶素子14に接続するビット線13が形成されている。第2の絶縁膜の上層は、ビット線13を埋め込むように形成されていてもよい。

【0044】上記ビット線13上には、第2の情報記憶素子15が形成されている。この第2の情報記憶素子15の主要部は、上記ビット線13側より、第2の記憶層31、第2のトンネル絶縁層32、第2の磁化固定層33で構成されている。

【0045】上記第2の絶縁膜42上には、上記第2の情報記憶素子15の主要部を埋め込みかつ上記第2の情報記憶素子15の主要部上面を露出させた状態に第3の絶縁膜43が形成されている。この第3の絶縁膜43より上記トランジスタ素子（図示せず）に接続する第2のコンタクト17が形成されている。

【0046】さらに上記第2の情報記憶素子15の主要部上には第2の導電体層34が接続され、この第2の導電体層34は上記第3の絶縁膜43上を延長され上記第2のコンタクト17に接続されている。上記第2の導電体層34は下層より反強磁性体層とバリア層との積層構造を成している。

【0047】上記第3の絶縁膜43上には、上記第2の導電体層34を覆う第4の絶縁膜44が形成されている。さらに上記第2の情報記憶素子15上方を通るように、上記第4の絶縁膜44上には、上記ビット線13と交差するように、すなわち、上記第1の書き込みワード線11にはほぼそって配置されるように、第2の書き込みワード線12が形成されている。

【0048】上記第1、第2の記憶層24、31は、例えばコバルト鉄（CoFe）で構成され、上記第1、第2のトンネル絶縁層23、32は、例えば酸化アルミニ

ウム（AlO₃）で構成され、上記第1、第2の磁化固定層22、33は、例えば、コバルト鉄（CoFe）で構成され、上記第1、第2の導電体層21、34の1層を構成する反強磁性体層は、例えば白金マンガン（PtMn）もしくはマンガン鉄（MnFe）で構成されている。またバリア層は、窒化チタン、タンタルもしくは窒化タンタルで構成されている。そして、上記第1、第2の記憶層24、31は、磁化容易軸（EA）という磁化方向のための好ましい軸を有するように形成されている。

【0049】上記第1の情報記憶装置1では、ビット線13を間にして第1の情報記憶素子14と第2の情報記憶素子15とが設けられていることから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍になる。このため、情報の記憶量が向上される。また1本のビット線13に接続される第1、第2の情報記憶素子14、15の磁化方向を同方向に変える場合には、第1、第2の書き込みワード線11、12に同時に逆方向に電流を流すことによって、第1、第2の情報記憶素子14、15の部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、この場合には、電流値を少なくしても、第1、第2の記憶層24、31の磁化を行うことができ、そのため、電流値を少なくすることが可能になり、低消費電力化が可能となる。

【0050】次に、抵抗値の変化の原理について、前記図2によって説明する。上記磁化容易軸に沿った、可変性強磁性層の磁化方向として2通りの方向が可能であり、これが上記第1、第2の情報記憶素子14、15の2通りの状態を定義する。この方向はある一つの方向およびその方向より180°反転した方向の2通りとなる。

【0051】一方、第1、第2の磁化固定層22、33は、単一方向異方性方向という好ましい磁化方向を一つだけ有するように形成することができる。この方向は、第1、第2の磁化固定層22、33の磁化容易軸に平行になるように、耐ブロッキング温度より高い温度（例えば150℃～300℃、通常は250℃程度である）まで加熱中に強力な磁場をかける、もしくは、結晶学的組成を誘導することにより固定する。

【0052】一般的には、第1、第2の磁化固定層22、33および第1、第2の記憶層24、31の磁化軸の方向は、これらを構成する機構の長辺方向に設定する。例えば、図2に示すような構成では、図面に対して水平方向（矢印A方向）に磁化軸を設定する場合には、第1、第2の情報記憶素子14、15は横長の構造とする。

【0053】第1、第2の情報記憶素子14、15に書き込みを行う場合には、第1、第2の書き込みワード線11、12およびビット線13に電流を流して磁界を発生させる。その際、第1の書き込みワード線11に対し

10

20

30

40

50

て第2の書き込みワード線12には、逆方向の電流を流す。この発生した磁界は第1、第2の情報記憶素子14、15の第1、第2の記憶層24、31の磁界方向を決定することができる。しかし、第1、第2の磁化固定層22、33の磁界方向を変化させることはできない。【0054】一度決定された磁界方向は、第1、第2の書き込みワード線11、12およびビット線13の電流を遮断しても前の状態に戻ることは無く、磁界を保持することができる。

【0055】次に、第1、第2の書き込みワード線11、12およびビット線13の両方もしくは一方の電流の流れる方向を逆方向にすることにより、その周辺に発生する磁界は変化する。磁界が変化するにより、第1、第2の記憶層24、31の磁界方向が逆転し、第1、第2の書き込みワード線11、12およびビット線13の電流を遮断しても、前の状態に戻ることは無く、磁界を保持することができる。

【0056】前述したように、この磁化容易軸にそった第1、第2の記憶層24、31の磁化方向として2通りの方向が可能であり、第1の記憶層24と第1の磁化固定層22との方向が同じ方向になった場合、ならびに第2の記憶層31と第2の磁化固定層33との方向が同じ方向になった場合を平行方向（もしくは平行状態）、180°逆方向になった場合を反平行方向（もしくは反平行状態）と呼ぶ。

【0057】第1の記憶層24の磁界方向と第1の磁化固定層22の磁界方向が平行状態になった場合、第2の記憶層31の磁界方向と第2の磁化固定層33の磁界方向が平行状態になった場合には、第1、第2のトンネル絶縁層23、32を電子が通過できる確率が高くなる。つまり抵抗値が低くなる。

【0058】逆に反平行状態になった場合には、電子が通過できる確率が低くなる。つまり、抵抗値が高くなる。よって、第1、第2の記憶層24、31の磁界方向を変化させることにより、この第1、第2の情報記憶素子14、15の両端、つまりビット線13とコンタクト16、17との間に電圧をかけた場合、この第1、第2の情報記憶素子14、15を流れる電流量に差が出ることになる。

【0059】その結果、この第1、第2の記憶層24、31の磁化方向により第1、第2の情報記憶素子14、15の2通りのビット状態（0または1）が明確に定義される。

【0060】次に、本発明の第1の情報記憶装置に係わる第2の実施の形態を、図3の概略構成図によって説明する。図3では、前記図2に示した構成部品と同様のものには同一符号を付与した。なお、下地絶縁膜、第1～第4の絶縁膜は2点鎖線で示した。

【0061】前記図2により説明したのと同様の材料によって、図3に示すように、半導体基板（図示せず）に

はトランジスタ素子（図示せず）が形成され、それを覆う下地絶縁膜51が形成されている。この下地絶縁膜51上には第1の書き込みワード線11が形成されている。上記下地絶縁膜51上には上記第1の書き込みワード線11を覆う第1の絶縁膜41が形成されている。この第1の絶縁膜41および下地絶縁膜51には、第1の絶縁膜41より上記トランジスタ素子に接続する第1のコンタクト16が形成されている。

【0062】上記第1の絶縁膜41上には、上記第1の書き込みワード線11上より上記第1のコンタクト16に接続する状態に第1の反強磁性体層を含む第1の導電体層21が形成されている。上記第1の導電体層21は、上記説明したのと同様に、バリア層と反強磁性体層との積層構造を成している。

【0063】さらに第1の情報記憶素子14は、上記第1の書き込みワード線11の上方における上記第1の導電体層21上に、第1の書き込みワード線11側より、第1の磁化固定層22、第1のトンネル絶縁層23、第1の記憶層24の順で積層された積層体で構成されている。また、上記第1の導電体層21には上記トランジスタ素子に接続される第1のコンタクト16が接続されている。

【0064】上記第1の絶縁膜41上には、第1の情報記憶素子14の上面が露出するように、この第1の情報記憶素子14を埋め込む第2の絶縁膜の下層42aが形成されている。

【0065】上記第2の絶縁膜の下層42a上には第2の絶縁膜の上層42bが形成され、この第2の絶縁膜の上層には、上記第1の情報記憶素子14に接続する例えば溝配線構造のビット線13が形成されている。ここでは、ビット線13を溝配線構造としたが、通常の配線構造であってもよい。この場合には、第2の絶縁膜の下層42a上にビット線13が形成され、このビット線13の上面が露出するように第2の絶縁膜の下層42a上に第2の絶縁膜の上層42bが形成される。

【0066】上記ビット線13上には、第2の情報記憶素子15が形成されている。この第2の情報記憶素子15の主要部は、上記ビット線13側より、第2の記憶層31、第2のトンネル絶縁層32、第2の磁化固定層33で構成されている。

【0067】上記第2の絶縁膜42上には、上記第2の情報記憶素子15の主要部を埋め込みかつ上記第2の情報記憶素子15の主要部上面を露出させた状態に第3の絶縁膜43が形成されている。この第3の絶縁膜43には、上記トランジスタ素子に接続する第2のコンタクト17が形成されている。

【0068】さらに上記第2の情報記憶素子15の主要部上には第2の導電体層34が接続されている。上記第2の導電体層34は下層より反強磁性体層とバリア層との積層構造を成している。

【0069】上記第3の絶縁膜43上には、上記第2の導電体層34を覆う第4の絶縁膜44が形成されている。さらに上記第4の絶縁膜44上には、上記第2の情報記憶素子15上方を通りかつ平面視的に上記ビット線13と交差するように、すなわち、上記第1の書き込みワード線11にはぼそって配置されるように、第2の書き込みワード線12が形成されている。

【0070】また、上記第4の絶縁膜44には、上記第2の導電体層34に接続されるローカル配線用コンタクト61が形成されているとともに、上記第4の絶縁膜44より上記トランジスタ素子に接続する第2のコンタクト17が形成されている。さらに、第4の絶縁膜44上には、上記ローカル配線用コンタクト61と上記第2のコンタクト17とを接続するもので例えば第2の書き込みワード線12とはぼ平行に延長されたローカル配線62が形成されている。

【0071】また、上記ローカル配線62は、第2の書き込みワード線12と同時に形成されても良く、または別形成されてもよい。また材質は第2の書き込みワード線12と同様な材質の導電性材料を用いることもでき、または別材質の導電性材料を用いることもできる。

【0072】上記図3によって説明した情報記憶装置1では、一本のビット線13を間にして形成されている第1、第2の情報記憶素子14、15の第1、第2の記憶層24、31の磁化方向を同方向に変える場合には、第1、第2の書き込みワード線11、12に対して同時に電流を逆方向に流すことによって、第1、第2の情報記憶素子14、15の部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、この場合には、電流値を少なくとも、第1、第2の記憶層24、31の磁化を行うことができ、そのため、低消費電力可変性を図ることができる。

【0073】次に、本発明の第1の情報記憶装置に係わるコンタクトの配置例を、図4のレイアウト図により説明する。

【0074】図4の(1)に示すコンタクトの配置例は、平面レイアウト上、第1の導電体層21を第1の書き込みワード線11の一方側にかつビット線13にそって延在させ、その延在させた部分に接続する第1のコンタクト16を第1の書き込みワード線11に接触しないように配置し、第2の導電体層34を第1の書き込みワード線11の一方側(第1の導電体層21と同方向側)でかつビット線13の一方側に延在させ、その延在させた部分に接続する第2のコンタクト17を第1の書き込みワード線11およびビット線13に接触しないように配置したものである。なお、第1の導電体層21が接続される第1の情報記憶素子14は第1書き込みワード線11とビット線13との交点において、また第2の導電体層34が接続される第2の情報記憶素子15はビット線13と第2の書き込みワード線(図示せず)の交点に

おいてビット線13を挟んで対向する位置に配置されている。また、図示はしていないが、第2の書き込みワード線は第1の書き込みワード線11上方に形成される。

【0075】次いで、図4の(2)に示すコンタクトの配置例は、平面レイアウト上、第1の導電体層21と第2の導電体層34とを、第1の書き込みワード線11の一方側でかつビット線13を挟んで対称位置に延在させ、ビット線13の一方側に延在させた第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1の書き込みワード線11に接触しないように配置し、ビット線13の他方側に延在させた第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1の書き込みワード線11およびビット線13に接触しないようにその一方側に配置した例である。なお、第1の導電体層21が接続される第1の情報記憶素子14は第1書き込みワード線11とビット線13との交点において、また第2の導電体層34が接続される第2の情報記憶素子15はビット線13と第2の書き込みワード線(図示せず)の交点においてビット線13を挟んで対向する位置に配置されている。また、図示はしていないが、第2の書き込みワード線は第1の書き込みワード線11上方に形成される。

【0076】図4の(3)に示すコンタクトの配置例は、平面レイアウト上、第1の導電体層21と第2の導電体層34とを、ビット線13の一方側でかつ第1の書き込みワード線11を挟んで対称位置に延在させ、第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1の書き込みワード線11に接触しないように配置し、第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1の書き込みワード線11およびビット線13に接触しないようにその一方側に配置した例である。なお、第1の導電体層21が接続される第1の情報記憶素子14は第1書き込みワード線11とビット線13との交点において、また第2の導電体層34が接続される第2の情報記憶素子15はビット線13と第2の書き込みワード線(図示せず)の交点においてビット線13を挟んで対向する位置に配置されている。また、図示はしていないが、第2の書き込みワード線は第1の書き込みワード線11上方に形成される。

【0077】図4の(4)に示すコンタクトの配置例は、平面レイアウト上における第1の書き込みワード線11とビット線13との交点に対してはぼ対称に、第1の導電体層21と第2の導電体層34とを延在させ、一方側に延在させた第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1の書き込みワード線11に接触しないように配置し、他方側に延在させた第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1の書き込みワード線11およびビット線13に接触しないように配置した例である。な

お、第1の導電体層21が接続される第1の情報記憶素子14は第1書き込みワード線11とビット線13との交点において、また第2の導電体層34が接続される第2の情報記憶素子15はビット線13と第2の書き込みワード線（図示せず）の交点においてビット線13を挟んで対向する位置に配置されている。また、図示はしていないが、第2の書き込みワード線は第1の書き込みワード線11上方に形成される。

【0078】図4の（5）に示すコンタクトの配置例は、平面レイアウト上、第1の導電体層21を第1の書き込みワード線11に対して一方側でかつビット線13にそって延在させ、第2の導電体層34を、第1の書き込みワード線11に対して他方側でビット線13の一方側に延在させ、第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1の書き込みワード線11に接触しないように配置し、第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1の書き込みワード線11およびビット線13に接触しないように配置した例である。なお、第1の導電体層21が接続される第1の情報記憶素子14は第1書き込みワード線11とビット線13との交点において、また第2の導電体層34が接続される第2の情報記憶素子15はビット線13と第2の書き込みワード線（図示せず）の交点においてビット線13を挟んで対向する位置に配置されている。また、図示はしていないが、第2の書き込みワード線は第1の書き込みワード線11上方に形成される。

【0079】図4の（6）に示すコンタクトの配置例は、平面レイアウト上、第1、第2の書き込みワード線11、12が互いに重ならないように配置されている。したがって、第1の情報記憶素子14は第1の書き込みワード線11とビット線13とが交差する間に形成され、第2の情報記憶素子15は第2の書き込みワード線12とビット線13とが交差する間に形成されている。そして、第1の情報記憶素子14における第1の導電体層21を第1、第2の書き込みワード線11、12に対して一方側でかつビット線13にそって延在させ、第2の導電体層22をビット線13に対して一方側で第2の書き込みワード線12にそって延在させ、第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1の書き込みワード線11に接触しないように配置し、第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1の書き込みワード線11およびビット線13に接触しないように配置した例である。

【0080】なお、図4の（6）に示したように、平面レイアウト上、第1、第2の書き込みワード線11、12が互いに重ならないように配置されている。つまり、第1の情報記憶素子14は第1の書き込みワード線11とビット線13とが交差する間に形成され、第2の情報

記憶素子15は第1の書き込みワード線12とビット線13とが交差する間に形成されている。このような構成では、第1のコンタクト16については、図4の（1）～（5）に示した位置を取り、第2のコンタクト17については、図4の（6）に示した位置を取ることが可能である。

【0081】上記第1、第2のコンタクト16、17の形成位置に関しては、一例であって、第1のコンタクト16は第1の書き込みワード線11に接触しない位置であればどのような位置にも形成することができる。また、第2のコンタクト17は、ビット線13、第1の情報記憶素子14、第1の導電体層21、第1の書き込みワード線11等に接触しない位置であればどのような位置にも形成することができる。

【0082】次に、本発明の第1の情報記憶装置の製造方法に係わる実施の形態を、図5および図6の製造工程図によって説明する。なお、下地絶縁膜、第1～第5の絶縁膜は2点鎖線で示した。

【0083】図5の（1）に示すように、半導体基板（図示せず）にはトランジスタ素子（図示せず）が形成され、それを覆う下地絶縁膜51が形成されている。この下地絶縁膜51上に第1の書き込みワード線を形成するための膜を形成した後、リソグラフィー技術、エッチング技術等を用いてその膜を第1の書き込みワード線11に加工する。その後、第1の書き込みワード線11を被覆する第1の絶縁膜41を形成した後、その第1の絶縁膜41表面を平坦化する。この平坦化は、例えば化学的機械研磨もしくはエッチバック等により行う。

【0084】なお、図示はしないが、上記第1の書き込みワード線11は、溝配線技術を用いて溝配線構造に形成することも可能である。すなわち、下地絶縁膜51上に第1の絶縁膜41を形成する。この第1の絶縁膜表面は平坦化しておく。次いで、リソグラフィー技術、エッチング技術等を用いてその第1の絶縁膜41に第1の書き込みワード線を形成するための溝を形成する。そして、その溝内に第1の書き込みワード線の材料層を埋め込んだ後、上記第1の絶縁膜41上の余剰な材料層を例えば化学的機械研磨により除去することにより、第1の書き込みワード線11を溝配線構造に形成する。その後、第1の絶縁膜41に第1の書き込みワード線11を被覆する絶縁膜を形成する。

【0085】次いで、上記第1の絶縁膜41に第1の情報記憶素子の一方における端子となる第1のコンタクト16を形成する。第1のコンタクト16の形成方法としては、リソグラフィー技術とエッチバック技術とによって、第1の絶縁膜41より下層の上記トランジスタ素子（図示せず）に向かって接続孔を形成した後、上記接続孔内に必要に応じてバリア層を形成し、その後導電体を埋め込み、プラグを形成することによる。上記導電体やバリア層が第1の絶縁膜41上にも形成された場合に

は、第1の絶縁膜41上の余剰な導電体やバリア層を除去する。

【0086】次いで、化学的気相成長（以下CVDという、CVDはChemical Vapor Depositionの略）法、物理的気相成長（以下PVDという、PVDはPhysical Vapor Depositionの略）法等の成膜技術を用いて、上記第1の絶縁膜41上に第1の導電体層21を形成する。第1の導電体層21は、下層よりバリア層と反強磁性体層とで形成する。バリア層は、例えば窒化チタン、タンタル、窒化タンタル等の材料で形成し、反強磁性体層は、例えば白金マンガン（PtMn）、鉄マンガン（FeMn）等の反強磁性材料で形成する。その後、リソグラフィ技術とエッチング技術とを用いて、上記第1の書き込み用ワード線11の上方における上記第1の絶縁膜41上より上記第1のコンタクト16の一端に接続する状態に第1の導電体層21を加工する。なお、この第1の導電体層21は上記第1の書き込みワード線11と第1の絶縁膜41により電気的に絶縁されている。

【0087】次に、図5の（2）に示すように、CVD法、PVD法等の成膜技術により、上記第1の導電体層21上および上記第1の絶縁膜41上に、第1の磁化固定層22を例えばコバルト鉄（CoFe）もしくはコバルト（Co）もしくは鉄（Fe）で成膜する。次いで第1のトンネル絶縁層23を例えば酸化アルミニウムで成膜する。さらに第1の記憶層24を例えばコバルト鉄（CoFe）で成膜して積層膜を形成する。その後、リソグラフィ技術とエッチング技術とを用いて、上記積層膜を加工して第1の情報記憶素子14を形成する。

【0088】上記成膜例では第1の磁化固定層22、第1のトンネル絶縁層23、第1の記憶層24を単層膜で形成したが、第1の磁化固定層22、第1のトンネル絶縁層23、第1の記憶層24を複数の膜を積層した積層膜で形成することも可能である。

【0089】次いで、CVD法によって、上記第1の絶縁膜41上に第1の情報記憶素子14および第1の導電体層21を覆う第2の絶縁膜の下層42aを形成する。その後、例えば化学的機械研磨によって、上記第2の絶縁膜の下層42a表面を平坦化する。この平坦化では、上記第1の情報記憶素子14における第1の記憶層24表面が露出するように平坦化してもよく、上記第1の記憶層24上に第2の絶縁膜の下層42aが残るように平坦化を行ってもよい。

【0090】また、第1の磁化固定層22と第1の導電体層21の反強磁性体層との組み合わせは、第1の記憶層24の磁化容易軸に平行となるように、耐ブロッキング温度（150℃～300℃、通常は250℃）よりも高い温度まで加熱中に強力な磁場をかけることで形成することもできる。もしくは、反強磁性体層に相当する部位を結晶学的組成に誘導する方法により形成し、第1の磁化固定層22の磁化方向を固定することもできる。

【0091】次に、図5の（3）に示すように、溝配線技術を用いてビット線13を形成する。以下、その詳細を説明する。第2の絶縁膜の下層42a上に第2の絶縁膜の上層42bを形成し、第2の絶縁膜42を構成する。この第2の絶縁膜の上層42b表面は平坦化しておく。次いで、リソグラフィ技術、エッチング技術等を用いて、第2の絶縁膜42に、上記第1の書き込み用ワード線11に平面視的に交差しかつ上記第1の磁気記憶素子14上部が底部に露出するようにビット線を形成するための溝を形成する。次いで、その溝内にビット線13の材料層を埋め込んだ後、上記第2の絶縁膜42上の余剰な材料層を例えば化学的機械研磨により除去することにより、上記第1の書き込み用ワード線11に平面視的に交差するもので上記第1の磁気記憶素子14上部に接続する溝配線構造のビット線13を形成する。

【0092】もしくは、図示はしないが、第2の絶縁膜の上層42a上にビット線を形成するための膜を形成した後、リソグラフィ技術、エッチング技術等を用いてその膜をビット線13に加工する。その後、ビット線13を被覆する第2の絶縁膜の上層42bを形成して、第2の絶縁膜42を構成した後、ビット線13の表面が露出するように第2の絶縁膜42表面を平坦化する。この平坦化は、例えば化学的機械研磨もしくはエッチバック等により行う。

【0093】次に、図5の（4）に示すように、CVD法もしくはPVD法により、上記ビット線13上および上記第2の絶縁膜42上に、第2の記憶層31を例えばコバルト鉄（CoFe）で成膜する。次いで第2のトンネル絶縁層32を例えば酸化アルミニウムで成膜する。さらに第2の磁化固定層33を例えばコバルト鉄（CoFe）もしくはコバルト（Co）もしくは鉄（Fe）で成膜して積層膜を形成する。その後、リソグラフィ技術とエッチング技術とを用いて、上記積層膜を加工して第2の情報記憶素子15を形成する。

【0094】上記成膜例では、第2の磁化固定層31、第2のトンネル絶縁層32、第2の記憶層33は単層膜で形成したが、第2の磁化固定層31、第2のトンネル絶縁層32、第2の記憶層33を複数の膜を積層した積層膜で形成することも可能である。

【0095】次いで、CVD法によって、上記第2の絶縁膜42上に第2の情報記憶素子15を覆う第3の絶縁膜43を形成する。その後、例えば化学的機械研磨によって、上記第2の情報記憶素子15の磁化固定層33表面が露出するように第3の絶縁膜43の表面を平坦化する。

【0096】次いで、図5の（5）に示すように、上記第3の絶縁膜42より下層に第2の情報記憶素子15の一方における端子となる第2のコンタクト17を形成する。第2のコンタクト17の形成方法としては、リソグラフィ技術とエッチバック技術とによって、第3の絶

縁膜43より下層の上記トランジスタ素子(図示せず)に向かって接続孔を形成した後、上記接続孔内に必要に応じてバリア層を形成し、その後導電体を埋め込み、プラグを形成することによる。上記導電体やバリア層が第3の絶縁膜43上にも形成された場合には、第3の絶縁膜43上の余剰な導電体やバリア層を例えば化学的機械研磨によって除去する。

【0097】次いで、図5の(6)に示すように、CVD法、PVD法等の成膜技術を用いて、上記第3の絶縁膜43上に第2の導電体層34を形成する。第2の導電体層34は、下層より反強磁性体層とバリア層とで形成する。反強磁性体層は、例えば白金マンガン(PtMn)、鉄マンガン(FeMn)等の反強磁性材料で形成し、バリア層は、例えば窒化チタン、タンタル、窒化タンタル等の材料で形成する。その後、リソグラフィ技術とエッチング技術とを用いて、上記第2の情報記憶装置15上より上記第2のコンタクト17の一端に接続する状態に第2の導電体層34を加工する。

【0098】次いで、図6の(7)に示すように、CVD法によって、上記第3の絶縁膜43上に第2の導電体層34を覆う第4の絶縁膜44を形成する。その後、例えば化学的機械研磨によって、第4の絶縁膜44表面を平坦化する。その際、第2の導電体層34上には第4の絶縁膜44を所定の膜厚だけ残しておく。

【0099】次いで、図6の(8)に示すように、第4の絶縁膜44上に第2の書き込みワード線を形成するための膜を形成する。その後、リソグラフィ技術、エッチング技術等により上記膜を加工して、第4の絶縁膜44上に、第2の磁気記憶素子15の上方を通るもので上記第1の書き込み用ワード線11に沿った第2の書き込みワード線12を形成する。すなわち、第2の書き込みワード線12はビット線13に対して平面視的に交差するように形成される。その後、第2の書き込みワード線12を被覆する第5の絶縁膜45を形成した後、その第5の絶縁膜45表面を平坦化する。この平坦化は、例えば化学的機械研磨もしくはエッチバック等により行う。

【0100】上記第2の書き込みワード線12の形成は、前記第1の書き込みワード線11の形成方法で説明したように、溝配線技術を用いて形成することも可能である。

【0101】上記第1の情報記憶装置1の製造方法では、ビット線13を挟んで第1の情報記憶素子14と第2の情報記憶素子15とを形成することから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍の情報記憶装置を形成することが可能になる。このため、情報の記憶量が向上される。また単位ビット当たりの製造コストが低減される。

【0102】次に、本発明の第1の情報記憶装置の製造方法に係る第2の実施の形態を、図7の概略構成断面図によって説明する。なお、下地絶縁膜、第1～第4の絶

縁膜は2点鎖線で示した。

【0103】前記説明した前記図5の(1)～(4)の工程を行った後、図7の(1)に示すように、上記第3の絶縁膜43上に第2の導電体層34を、前記5の(6)によって説明したのと同様に、反強磁性体層とバリア層とで形成する。この反強磁性体層は、例えば白金マンガン(PtMn)もしくは鉄マンガン(FeMn)で形成する。その後、リソグラフィ技術とエッチング技術とを用いて、第2の導電体層34を加工する。この第2の導電体層34は第2の情報記憶素子15の磁化固定層33上面に接続し、かつ例えばビット線13と平行な方向に延長するように形成される。

【0104】次いで、図7の(2)に示すように、化学的気相成長法によって、上記第3の絶縁膜43上に第2の導電体層34を覆う第4の絶縁膜44を形成する。その後、例えば化学的機械研磨によって、第4の絶縁膜44表面を平坦化する。その際、第2の導電体層34上には第4の絶縁膜44を所定の膜厚だけ残しておく。

【0105】その後、図7の(3)に示すように、上記第4の絶縁膜44より前記トランジスタ素子(図示せず)に接続される接続孔を形成するとともに、上記第4の絶縁膜44に第2の導電体層34に達する接続孔を形成する。各接続孔の形成は、リソグラフィ技術とエッチング技術とを用いて行う。その後、各接続孔内に導電体を埋め込み、前記トランジスタ素子(図示せず)に接続する第2のコンタクト17、第2の導電体層34に接続するコンタクト61を形成する。上記導電体が第4の絶縁膜44上にも形成された場合には、第4の絶縁膜44上の余剰な導電体を除去する。次いで、一般的に知られている配線形成技術を用いて、第4の絶縁膜44上に前記第1の書き込みワード線11の上方に沿って第2の書き込みワード線12を形成するとともに上記コンタクト17、61に接続するローカル配線62を上記第2の書き込みワード線12に並行に形成する。

【0106】なお、上記第2の書き込みワード線12、ローカル配線63は溝配線構造としてもよい。その場合には、第4の絶縁膜44を第2の導電体層34上に溝配線を形成することができるよう厚く形成し、その後、トランジスタ素子(図示せず)に接続される接続孔を形成するとともに、上記第4の絶縁膜44に第2の導電体層34に達する接続孔を形成する。その後、第4の絶縁膜44に上記第2の磁気記憶素子15上を通過かつ上記第1の書き込みワード線11に沿うように、第2の書き込みワード線を形成するための溝を形成する。それとともに、第4の絶縁膜44に、上記接続孔間を接続するためのローカル配線を埋め込む溝を形成する。

【0107】次いで、一般的に知られている溝配線技術を用いて、接続孔内および溝内を導電体膜で埋め込む。その後、第4の絶縁膜44上の余剰な導電体膜を除去して、溝に第2の書き込みワード線12を形成し、溝にロ

ーカル配線 63 を形成するとともに、接続孔内にプラグ 61、62 を形成する。

【0108】上記第 2 の実施の形態において、上記第 1、第 2 のコンタクト 16、17 の形成位置に関しては、一例であって、第 1 のコンタクト 16 は第 1 の書き込みワード線 11 に接触しない位置であればどのような位置にも形成することができる。また、第 2 のコンタクト 17 は、ビット線 13、第 1 の情報記憶素子 14、第 1 の導電体層 21、第 1 の書き込みワード線 11 等に接触しない位置であり、第 2 の導電体層 34 とローカル配線 63 で接続することができる位置であればどのような位置にも形成することができる。

【0109】次に、本発明の第 1 の情報記憶装置に係る第 3 の実施の形態を、図 8 の概略構成断面図によって説明する。なお、下地絶縁膜、第 1 ～第 4 の絶縁膜、層間絶縁膜は 2 点鎖線で示した。

【0110】図 8 に示すように、前記図 2 によって説明したのと同様に、半導体基板（図示せず）にはトランジスタ素子（図示せず）が形成され、それを覆う下地絶縁膜 51 が形成されている。この下地絶縁膜 51 上には第 1 の書き込みワード線 11 が形成されている。上記下地絶縁膜 51 上には上記第 1 の書き込みワード線 11 を覆う第 1 の絶縁膜 41 が形成されている。この第 1 の絶縁膜 41 および下地絶縁膜 51 には、第 1 の絶縁膜 41 より上記トランジスタ素子（図示せず）に接続する第 1 のコンタクト 16 が上記第 1 の書き込みワード線 11 に接触しないように形成されている。

【0111】上記第 1 の絶縁膜 41 上には、上記第 1 の書き込みワード線 11 上より上記第 1 のコンタクト 16 に接続する状態に第 1 の反強磁性体層を含む第 1 の導電体層 21 が形成されている。上記第 1 の導電体層 21 は、上記説明したのと同様に、バリア層と反強磁性体層との積層構造を成している。

【0112】さらに第 1 の情報記憶素子 14 は、上記第 1 の書き込みワード線 11 の上方における上記第 1 の導電体層 21 上に、第 1 の書き込みワード線 11 側より、第 1 の磁化固定層 22、第 1 のトンネル絶縁層 23、第 1 の記憶層 24 の順で積層された積層体で構成されている。

【0113】上記第 1 の絶縁膜 41 上には、第 1 の情報記憶素子 14 の上面が露出するように、この第 1 の情報記憶素子 14 を埋め込む第 2 の絶縁膜 42 が形成されている。

【0114】上記第 2 の絶縁膜 42 上には、上記第 1 の情報記憶素子 14 に接続するビット線 13 が形成されている。さらにこのビット線 13 を覆うように層間絶縁膜 71 が形成されている。上記層間絶縁膜 71 には上記第 1 の情報記憶素子 14 に達する接続孔 72 が形成されている。なお、図示はしないが、上記ビット線 13 は、上記第 1 の情報記憶素子 14 上に溝配線を形成することが

できる厚さを残すように第 2 の絶縁膜 42 を形成して、この第 2 の絶縁膜に溝配線構造で形成されたものであってもよい。

【0115】上記第 1 の情報記憶素子 14 の情報における層間絶縁膜 71 上には、接続孔 72 を通じてビット線 13 に接続する第 2 の情報記憶素子 15 が形成されている。この第 2 の情報記憶素子 15 の主要部は、上記ビット線 13 側より、第 2 の記憶層 31、第 2 のトンネル絶縁層 32、第 2 の磁化固定層 33 で構成されている。

【0116】上記第 2 の絶縁膜 42 上には、上記第 2 の情報記憶素子 15 の主要部を埋め込みかつ上記第 2 の情報記憶素子 15 の主要部上面を露出させた状態に第 3 の絶縁膜 43 が形成されている。この第 3 の絶縁膜 43 より上記トランジスタ素子（図示せず）に接続する第 2 のコンタクト 17 が形成されている。

【0117】さらに上記第 2 の情報記憶素子 15 の主要部上には第 2 の導電体層 34 が接続され、この第 2 の導電体層 34 は上記第 3 の絶縁膜 43 上を延長され上記第 2 のコンタクト 17 に接続されている。上記第 2 の導電体層 34 は下層より反強磁性体層とバリア層との積層構造を成している。

【0118】上記第 3 の絶縁膜 43 上には、上記第 2 の導電体層 34 を覆う第 4 の絶縁膜 44 が形成されている。さらに上記第 2 の情報記憶素子 15 上方を通るように、上記第 4 の絶縁膜 44 上には、上記ビット線 13 と交差するように、すなわち、上記第 1 の書き込みワード線 11 にほぼそって配置されるように、第 2 の書き込みワード線 12 が形成されている。

【0119】上記図 8 によって説明した構造の製造方法は、前記図 5 の（3）で説明した製造方法において、第 2 の絶縁膜の下層 42a 上に第 2 の絶縁膜の上層 42b を形成した後、溝配線技術を用いて第 2 の絶縁膜の上層 42b にビット線 13 を形成する。その後、ビット線を覆う層間絶縁膜 71（図 8 参照）を形成した後、この層間絶縁膜 71 にビット線 13 に通じる接続孔 72（図 8 参照）を形成する。

【0120】次いで、CVD 法もしくは PVD 法により、上記層間絶縁膜 71 上に、前記図 5 の（4）によって説明したのと同様に第 2 の情報記憶素子 15 を形成する工程を行う。その際、第 2 の記憶層 31 を成膜する際に、接続孔 72 内にも第 2 の記憶層 31 を形成することにより、コンタクト 73 を形成する。

【0121】もしくは、図示はしないが、第 2 の絶縁膜 42 上にビット線を形成するための膜を形成した後、リソグラフィ技術、エッチング技術等を用いてその膜を加工してビット線 13 を形成する。その後、ビット線 13 を被覆する層間絶縁膜 71 を形成した後、ビット線 13 上に所定の膜厚が残るようにして層間絶縁膜 71 表面を平坦化する。この平坦化は、例えば化学的機械研磨もしくはエッチバック等により行う。その後、上記説明し

たのと同様にして、この層間絶縁膜 71 にビット線 13 に通じる接続孔 72 を形成する以降の工程を行えばよい。

【0122】次に、本発明の第 1 の情報記憶装置に係る第 4 の実施の形態を、図 9 の概略構成断面図によって説明する。なお、下地絶縁膜、第 1 ～第 4 の絶縁膜、第 1、第 2 の層間絶縁膜は 2 点鎖線で示した。

【0123】図 9 に示すように、前記図 2 によって説明したのと同様に、半導体基板（図示せず）にはトランジスタ素子（図示せず）が形成され、それを覆う下地絶縁膜 51 が形成されている。この下地絶縁膜 51 上には第 1 の書き込みワード線 11 が形成されている。上記下地絶縁膜 51 上には上記第 1 の書き込みワード線 11 を覆う第 1 の絶縁膜 41 が形成されている。この第 1 の絶縁膜 41 および下地絶縁膜 51 には、第 1 の絶縁膜 41 より上記トランジスタ素子（図示せず）に接続する第 1 のコンタクト 16 が形成されている。

【0124】上記第 1 の絶縁膜 41 上には、上記第 1 の書き込みワード線 11 上より上記第 1 のコンタクト 16 に接続する状態に第 1 の反強磁性体層を含む第 1 の導電体層 21 が形成されている。例えば、上記第 1 の導電体層 21 は、上記説明したのと同様に、バリア層と反強磁性体層との積層構造を成している。

【0125】さらに第 1 の情報記憶素子 14 は、上記第 1 の書き込みワード線 11 の上方における上記第 1 の導電体層 21 上に、第 1 の書き込みワード線 11 側より、第 1 の磁化固定層 22、第 1 のトンネル絶縁層 23、第 1 の記憶層 24 の順で積層された積層体で構成されている。また、上記第 1 の導電体層 21 には上記トランジスタ素子に接続される第 1 のコンタクト 16 が接続されて

いる。

【0126】上記第 1 の絶縁膜 41 上には、第 1 の情報記憶素子 14 の上面が露出するように、この第 1 の情報記憶素子 14 を埋め込む第 2 の絶縁膜 42 が形成されている。さらに上記第 2 の絶縁膜 42 上には上記第 1 の情報記憶素子 14 を覆う第 1 の層間絶縁膜 81 が形成されている。なお、第 2 の絶縁膜 42 を上記第 1 の情報記憶素子 14 を覆うように形成し、第 1 の情報記憶素子 14 上に第 2 の絶縁膜 42 を残すようにして、第 2 の絶縁膜 42 表面を平坦化してもよい。

【0127】上記第 1 の層間絶縁膜 81 には情報記憶素子第 1 の情報記憶素子 14 に達する接続孔 82 が形成されている。なお、上記第 2 の絶縁膜 42 で第 1 の情報記憶素子 14 が覆われている構成では、第 2 の絶縁膜 42 に第 1 の情報記憶素子 14 に達する接続孔 82 が形成される。

【0128】上記第 1 の層間絶縁膜 81（第 2 の絶縁膜 42 に接続孔 82 が形成された場合には第 2 の絶縁膜 42）には、上記第 1 の情報記憶素子 14 に接続するビット線 13 が形成されている。さらにこのビット線 13 を

覆うように第 2 の層間絶縁膜 83 が形成されている。上記第 2 の層間絶縁膜 83 には上記第 1 の情報記憶素子 14 に達する接続孔 84 が形成されている。

【0129】図示はしないが、上記ビット線 13 が溝配線構造を成す場合には、上記第 1 の層間絶縁膜 81 上にさらに層間絶縁膜が形成されていて、この層間絶縁膜に平面視的に第 1 の書き込みワード線 11 と交差（例えば直交）するように配線溝が形成されている。そしてこの配線溝内にビット線 13 が形成されている構成を採る。または、第 1 の層間絶縁膜 81 は溝配線が形成できる厚さに成膜され、その第 1 の層間絶縁膜 81 に第 1 の情報記憶素子 14 に達する接続孔 82 と、平面視的に第 1 の書き込みワード線 11 と交差（例えば直交）する配線溝とが形成されていて、この配線溝にビット線 13 が形成されている構成を採る。

【0130】上記第 1 の情報記憶素子 14 の上方における第 2 の層間絶縁膜 83 上には、接続孔 84 を通じてビット線 13 に接続する第 2 の情報記憶素子 15 が形成されている。この第 2 の情報記憶素子 15 の主要部は、上記ビット線 13 側より、第 2 の記憶層 31、第 2 のトンネル絶縁層 32、第 2 の磁化固定層 33 で構成されてい

る。

【0131】上記第 2 の絶縁膜 42 上には、上記第 2 の情報記憶素子 15 の主要部を埋め込みかつ上記第 2 の情報記憶素子 15 の主要部上面を露出させた状態に第 3 の絶縁膜 43 が形成されている。この第 3 の絶縁膜 43 より上記トランジスタ素子に接続する第 2 のコンタクト 17 が形成されている。

【0132】さらに上記第 2 の情報記憶素子 15 の主要部上には第 2 の導電体層 34 が接続され、この第 2 の導電体層 34 は上記第 3 の絶縁膜 43 上を延長され上記第 2 のコンタクト 17 に接続されている。上記第 2 の導電体層 34 は下層より反強磁性体層とバリア層との積層構造を成している。

【0133】上記第 3 の絶縁膜 43 上には、上記第 2 の導電体層 34 を覆う第 4 の絶縁膜 44 が形成されている。さらに上記第 2 の情報記憶素子 15 上方を通るように、上記第 4 の絶縁膜 44 上には、上記ビット線 13 と交差するように、すなわち、上記第 1 の書き込みワード線 11 にほぼそって配置されるように、第 2 の書き込みワード線 12 が形成されている。

【0134】上記図 9 によって説明した構造の製造方法は、前記図 5 の（2）で説明した製造方法において、第 2 の絶縁膜 42 を形成し、この表面を平坦化した後、第 1 の層間絶縁膜 81 を形成する。その後、リソグラフィ技術とエッチング技術とを用いて、第 1 の層間絶縁膜 81 より第 1 の情報記憶素子 14 に達する接続孔 82 を形成する。

【0135】もしくは、第 1 の層間絶縁膜 81 を形成しない場合には、第 2 の絶縁膜 42 表面を平坦化する際

に、第1の情報記憶装置14上に所定の厚さだけ残すように表面の平坦化を行う。その後、リソグラフィー技術とエッチング技術とを用いて、この第2の絶縁膜42に第1の情報記憶装置14上面に通じる接続孔82を形成する。

【0136】次いで、第2の絶縁膜42上にビット線を形成するための膜を形成した後、リソグラフィー技術、エッチング技術等を用いてその膜をビット線13に加工する。このビット線13の形成方法は、前記図5の

(3)によって説明した方法を用いることが可能である。例えば、第2の絶縁膜42を下層42aと上層42bの2層に形成する場合、上記第1の層間絶縁膜81は第2の絶縁膜の下層42a上に形成され、ビット線13は第1の層間絶縁膜81上に形成された第2の絶縁膜の上層42bに例えば溝配線構造で形成される。そして第2の層間絶縁膜83は上記ビット線13を覆うように形成される。この第2の層間絶縁膜83の形成方法は、前記図8によって説明した層間絶縁膜71の形成方法と同様に行うことができる。

【0137】次いで、通常のリソグラフィー技術とエッチング技術によって、上記第2の層間絶縁膜83における第1の情報記憶素子14に対向する位置に接続孔84を形成する。さらに、CVD法、PVD法等の成膜技術によって、第2の層間絶縁膜上に接続孔84内を埋め込む第2の記憶層31を形成する。続いて、第2のトンネル絶縁層32、第2の磁化固定層33を形成する。その後、前記図5の(4)によって説明したのと同様の工程を行えばよい。

【0138】次に、本発明の第2の情報記憶装置に係る第1の実施の形態を、図10の情報記憶装置の要部を示す部分断面斜視図によって説明する。

【0139】図10に示すように、第1のビット線91(911、912、913)は例えば同一平面に並列に配置されている。各第1のビット線911、912、913上には、各第1のビット線911、912、913と所定の間隔を置いて対応する第2のビット線92(921、922、923)が同一平面にかつ並列に配置されている。

【0140】各第1のビット線911、912、913とそれに対向する第2のビット線921、922、923との間には、書き込みワード線93(931、932、933)が例えば同一平面にかつ上記第1のビット線911、912、913(第2のビット線921、922、923)に交差するように並列に配置されている。ここでは、各書き込みワード線93は第1、第2の各第1、第2のビット線91、92と直交するように配置されている。

【0141】さらに上記各第1のビット線91と上記各書き込みワード線93とが交差するそれぞれの位置には第1の情報記憶素子14(141~149)が配置され

ている。なお、第1の情報記憶素子145、146、148、149は他の構成部品の陰になっているため、図示はされていない。また、上記各第2のビット線92と上記各書き込みワード線93とが交差するそれぞれの位置には第2の情報記憶素子15(151~159)が配置されている。すなわち、各第1、第2の情報記憶素子14、15は各第1のビット線91、92と各書き込みワード線93とが交差する各位置でワード線93を挟んで対向する位置に配置されている。

【0142】上記各第1の情報記憶素子14は、例えば、磁気トンネル接合素子(MTJ素子: MTJはMagnetic Tunnel Junctionの略)もしくはトンネル磁気抵抗素子(TMR素子: TMRはTunnel Magnetic Resistanceの略)で構成されている。一例として、第1のビット線91側より、第1の記憶層24、第1のトンネル絶縁層23、第1の磁化固体層22、第1の反強磁性体層を含む導電体層21を積層した構造からなり、上記第1の導電体層21は、例えば、上記書き込みワード線93側により、第1のバリア層と第1の反強磁性体層とを積層して形成されている。また書き込みワード線93と上記第1の導電体層21との間には第1の絶縁層(図示せず)が形成されている。また、上記各第1の導電体層21は、上記トランジスタ(図示せず)に接続する第1のコンタクト16が接続されている。

【0143】上記各第2の情報記憶素子15は、例えば、MTJ素子もしくはTMR素子で構成されている。一例として、書き込みワード線93側より、第2の導電体層34、第2の磁化固体層33、第2のトンネル絶縁層32、第2の記憶層31を含む第2の導電体層34を積層した構造からなり、上記第2の導電体層34は、例えば、上記書き込みワード線93側により、第1のバリア層と第2の反強磁性体層とを積層して形成されている。また書き込みワード線93と上記第2の導電体層34との間には第4の絶縁層(図示せず)が形成されている。また、上記各第2の導電体層34は、上記トランジスタ(図示せず)に接続する第2のコンタクト17が接続されている。

【0144】上記各第1の情報記憶素子14は、その書き込み時には、例えば、選択される第1の情報記憶素子14に対応するビット線93、第1のビット線91を選択して電流を流し、磁界を発生させ、第1の情報記憶素子14内における第1の記憶層24(強磁性体層)に磁界の方向を記憶する。

【0145】また上記第2の情報記憶素子15は、その書き込み時には、例えば、選択される第2の情報記憶素子15に対応する第2のビット線92、書き込みワード線93を選択して電流を流し、磁界を発生させ、第2の情報記憶素子15内における第2の記憶層31(強磁性体層)に磁界の方向を記憶する。

【0146】一方、読み出し時には、例えば、選択され

る第1の情報記憶素子14の情報を読み出す場合に、第1の情報記憶素子14に対応する第1のビット線91と第1のコンタクト16との間に電圧をかけ、流れるセンス電流を検知し、記憶情報を取り出す。

【0147】また、例えば、選択される第2の情報記憶素子15の情報を読み出す場合に、第2の情報記憶素子15に対応する第2のビット線92と第2のコンタクト17との間に電圧をかけ、流れるセンス電流を検知し、記憶情報を取り出す。

【0148】第1、第2の情報記憶素子14、15は、10 デジタルの0、1を書き込むことによりその抵抗値が変化することを利用している。

【0149】次に、上記図10によって説明した情報記憶装置の書き込みワード線93を挟む一つの情報記憶素子対に着目し、情報記憶装置の詳細を、図11の概略構成断面図によって説明する。なお、下地絶縁膜、第1～第5の絶縁膜は2点鎖線で示した。

【0150】図11に示すように、半導体基板（図示せず）にはトランジスタ素子（図示せず）が形成され、それを覆う下地絶縁膜51が形成されている。この下地絶縁膜51上には第1のビット線91が形成されている。上記第1のビット線91は、例えばアルミニウム、アルミニウム合金、銅、銅合金等の一般的な半導体装置の配線材料で形成されている。もしくは、イリジウム、オスミウム、クロム、ジルコニウム、タングステン、タンタル、チタントリウム、バナジウム、モリブデン、ロジウム、ニッケルおよびルテニウムのうちの少なくとも1種で形成されている、もしくはこれらの材料のうちの複数種からなる合金で形成されている。上記下地絶縁膜51上には上記第1のビット線91を覆う第1の絶縁膜141が、例えば酸化シリコンもしくは酸化アルミニウムで形成されている。この第1の絶縁膜141は表面が平坦化され、第1のビット線91の上面が露出されている。

【0151】上記第1のビット線91上における所定の位置には、第1の情報記憶素子14が形成されている。この第1の情報記憶素子14の主要部は、上記第1のビット線91側より、第1の記憶層24、第1のトンネル絶縁層23、第1の磁化固定層22で構成されている。

【0152】上記第1の絶縁膜141上には、上記第1の情報記憶素子14を覆う第2の絶縁膜142が形成されている。この第2の絶縁膜142の表面は平坦化され、上記第1の情報記憶素子14の上面が露出されている。

【0153】上記第2の絶縁膜141より上記トランジスタ素子に接続する第1のコンタクト16が、上記第1のビット線91に接触しないように形成されている。この第1のコンタクト16は、例えば窒化チタン膜とチタン膜とからなるバリア層を介してタングステンで形成されている。タングステンの代わりに、上記第1のビット線91と同様の材料を用いることも可能である。

【0154】上記第2の絶縁膜142上には、上記第1の情報記憶素子14より上記第1のコンタクト16に接続する状態に第1の反強磁性体層を含む第1の導電体層21が形成されている。上記第1の導電体層21は、上記説明したのと同様に、反強磁性体層とバリア層との積層構造を成している。

【0155】上記第2の絶縁膜142上には、上記第1の導電体層21を覆う第3の絶縁膜143が形成され、その表面は平坦化されている。さらに第3の絶縁膜143上には第4の絶縁膜の下層144aが形成されている。上記第4の絶縁膜の下層144aには例えば溝配線構造の書き込みワード線93が形成されている。上記第4の絶縁膜の下層144a上には上記書き込みワード線93を覆う第4の絶縁膜の上層144bが形成されている。

【0156】なお、上記書き込みワード線93が溝配線構造ではなく通常の配線構造に形成される場合には、図示はしないが、上記第3の絶縁膜143上に書き込みワード線93を形成した後、この書き込みワード線93を覆う第4の絶縁膜144を形成し、その後第4の絶縁膜144表面を例えば化学的機械研磨によって平坦化すればよい。この場合、書き込みワード線144上に第4の絶縁膜144が所定の膜厚だけ残るように研磨を行う。

【0157】上記第4の絶縁膜144より下層には、上記トランジスタ素子に接続する第2のコンタクト17が形成されている。この第2のコンタクト17は、書き込みワード線93、第1のビット線91、第1の導電体層21、第1のコンタクト16等に接触しないように等に接触しないように形成されている。

【0158】さらに上記第4の絶縁膜144上には、上記第1の情報記憶素子14の上方における上記第4の絶縁膜144上より上記第2のコンタクト17に接続する第2の導電体層34が形成されている。上記第2の導電体層34は下層よりバリア層と反強磁性体層との積層構造を成している。さらに上記第2の導電体層34上には、上記書き込みワード線93を挟んで上記第1の情報記憶素子14と対向するように、第2の情報記憶素子15が形成されている。上記第2の情報記憶素子15の主要部は、上記書き込みワード線93側より、第2の磁化固定層33、第2のトンネル絶縁層32、第2の記憶層31の順に積層された積層体で構成されている。

【0159】上記第4の絶縁膜144上には、上記第2の情報記憶素子15および第2の導電体層34を覆う第5の絶縁膜145が形成されている。この第5の絶縁膜145の表面は平坦化されており、その表面には上記第2の情報記憶素子15の上面が露出されている。

【0160】上記第5の絶縁膜145上には、上記第2の情報記憶素子15上を通りかつ上記書き込みワード線93と交差するように、すなわち、上記第1のビット線91にはば沿って配置されるように、第2のビット線9

2が形成されている。

【0161】上記第1、第2のビット線91、92、書き込みワード線93、上記第1、第2の情報記憶素子14、15、第1、第2の導電体層21、34等は、前記図1、図2によって説明したのと同様の材料を用いることが可能である。

【0162】上記第2の情報記憶装置2では、書き込みワード線93を間にして第1の情報記憶素子14と第2の情報記憶素子15とが設けられていることから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍になる。このため、情報の記憶量が向上される。

また第1、第2のビット線91、92に接続される第1、第2の情報記憶素子14、15の磁化方向を同方向に変える場合には、第1、第2のビット線91、92に同時に逆方向に電流を流すことによって、第1、第2の情報記憶素子14、15の部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、この場合には、電流値を少なくしても、第1、第2の記憶層24、31の磁化を行うことができ、そのため、電流値を少なくすることが可能になり、低消費電力化が可能となる。

【0163】次に、抵抗値の変化の原理について、前記図11によって説明する。上記磁化容易軸に沿った、可変性強磁性層の磁化方向として2通りの方向が可能であり、これが上記第1、第2の情報記憶素子14、15の2通りの状態を定義する。この方向はある一つの方向およびその方向より180°反転した方向の2通りとなる。

【0164】一方、第1、第2の磁化固定層22、33は、単一方向異方性方向という好ましい磁化方向を一つだけ有するように形成することができる。この方向は、第1、第2の磁化固定層22、33の磁化容易軸に平行になるように、耐ブロッキング温度より高い温度（例えば150℃～300℃、通常は250℃程度である）まで加熱中に強力な磁場をかける、もしくは、結晶学的組成を誘導することにより固定する。

【0165】一般的には、第1、第2の磁化固定層22、33および第1、第2の記憶層24、31の磁化軸の方向は、これらを構成する機構の長辺方向に設定する。例えば、図2に示すような構成では、図面に対して水平方向（矢印A方向）に磁化軸を設定する場合には、第1、第2の情報記憶素子14、15は横長の構造とする。

【0166】第1、第2の情報記憶素子14、15に書き込みを行う場合には、第1、第2のビット線91、92および書き込みワード線93に電流を流して磁界を発生させる。その際、第1のビット線91に対して第2のビット線92には、逆方向の電流を流す。この発生した磁界は第1、第2の情報記憶素子14、15の第1、第2の記憶層24、31の磁界方向を決定することができる。しかし、第1、第2の磁化固定層22、33の磁界

方向を変化させることはできない。

【0167】一度決定された磁界方向は、第1、第2のビット線91、92および書き込みワード線93の電流を遮断しても前の状態に戻ることは無く、磁界を保持することができる。

【0168】次に、第1、第2のビット線91、92および書き込みワード線93の両方もしくは一方の電流の流れる方向を逆方向にすることにより、その周辺に発生する磁界は変化する。磁界が変化することにより、第1、第2の記憶層24、31の磁界方向が逆転し、第1、第2のビット線91、92および書き込みワード線93の電流を遮断しても、前の状態に戻ることは無く、磁界を保持することができる。

【0169】前述したように、この磁化容易軸にそった第1、第2の記憶層24、31の磁化方向として2通りの方向が可能であり、第1の記憶層24と第1の磁化固定層22との方向が同じ方向になった場合、ならびに第2の記憶層31と第2の磁化固定層33との方向が同じ方向になった場合を平行方向（もしくは平行状態）、180°逆方向になった場合を反平行方向（もしくは反平行状態）と呼ぶ。

【0170】第1の記憶層24の磁界方向と第1の磁化固定層22の磁界方向が平行状態になった場合、第2の記憶層31の磁界方向と第2の磁化固定層33の磁界方向が平行状態になった場合には、第1、第2のトンネル絶縁層23、32を電子が通過できる確率が高くなる。つまり抵抗値が低くなる。

【0171】逆に反平行状態になった場合には、電子が通過できる確率が低くなる。つまり、抵抗値が高くなる。よって、第1、第2の記憶層24、31の磁界方向を変化させることにより、この第1、第2の情報記憶素子14、15の両端、つまり第1のビット線91と第1のコンタクト16との間に電圧をかけた場合、第2のビット線92と第2のコンタクト17との間に電圧をかけた場合、この第1、第2の情報記憶素子14、15を流れる電流に差が出ることになる。

【0172】その結果、この第1、第2の記憶層24、31の磁化方向により第1、第2の情報記憶素子14、15の2通りのビット状態（0または1）が明確に定義される。

【0173】次に、前記図11に示した構成において、第2の情報記憶装置に係る第2、第3の実施の形態として、第1の導電体層21と第1のコンタクト16との接続をローカル配線によって形成する一例を図12、図13によって説明する。なお、下地絶縁膜、第1～第5の絶縁膜は2点鎖線で示した。

【0174】図12に示すように、第1、第2のビット線91、92、第1、第2の情報記憶素子14、15、書き込みワード線93、第2の導電体層34、第2のコンタクト17、下地絶縁膜51、第1～第5の絶縁膜1

41～145等は、前記図11によって説明した構成と同様である。

【0175】そして、この第2の実施の形態では、第1の導電体層21が前記第2の導電体層34とは反対方向に形成され、書き込みワード線93を挟んで第2のコンタクト17とは反対側に、第3の絶縁膜143よりトランジスタ素子（図示せず）に向けて第1のコンタクト16が形成されている。また第3の絶縁膜143には、その表面より第1の導電体層21に接続するローカル配線コンタクト64が形成されている。さらに第3の絶縁膜143上には上記第1のコンタクト16と上記ローカル配線コンタクト64とに接続するように、ローカル配線65が形成されている。このローカル配線65は、例えば上記書き込みワード線93と同一層で形成されてもよく、または別層で形成されてもよい。

【0176】図13に示すように、第1、第2のビット線91、92、第1、第2の情報記憶素子14、15、書き込みワード線93、第2の導電体層34、第2のコンタクト17、下地絶縁膜51、第1～第5の絶縁膜141～145等は、前記図11によって説明した構成と同様である。

【0177】そして、この第3の実施の形態では、第1の導電体層21が前記第2の導電体層34とは反対方向に形成され、書き込みワード線93を挟んで第2のコンタクト17とは反対側に、第4の絶縁膜144よりトランジスタ素子（図示せず）に向けて第1のコンタクト16が形成されている。また第4の絶縁膜144には、その表面より第1の導電体層21に接続するローカル配線コンタクト67が形成されている。そして第4の絶縁膜144上には上記第1のコンタクト16と上記ローカル配線コンタクト67とに接続するように、ローカル配線68が形成されている。

【0178】また、第2の情報記憶装置2における第1、第2のコンタクト16、17の配置例を、図14のレイアウト図によって説明する。

【0179】次いで、図14の（1）に示すコンタクトの配置例は、平面レイアウト上、第1の導電体層21と第2の導電体層34とを、第1のビット線91の一方側でかつ書き込みワード線93を挟んで対称位置に延在させ、書き込みワード線93の一方側に延在させた第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1のビット線91に接触しないように配置し、書き込みワード線93の他方側に延在させた第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1のビット線91および書き込みワード線93に接触しないようにその一方側に配置した例である。なお、第1の導電体層21が接続される第1の情報記憶素子14は第1のビット線91と書き込みワード線93との交点において、また第2の導電体層34が接続される第2の情報記憶素子15は書き込みワード線93と

第2のビット線（図示せず）の交点において書き込みワード線93を挟んで対向する位置に配置されている。また、図示はしていないが、第2のビット線は第1のビット線91上方に形成される。

【0180】図14の（2）に示すコンタクトの配置例は、平面レイアウト上、第1の導電体層21と第2の導電体層34とを、第1のビット線91を挟んで対称位置に延在させ、第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1のビット線91に接触しないように配置し、第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1のビット線91および書き込みワード線93に接触しないようにその一方側に配置した例である。なお、第1の導電体層21が接続される第1の情報記憶素子14は第1のビット線91と書き込みワード線93との交点において、また第2の導電体層34が接続される第2の情報記憶素子15は書き込みワード線93と第2のビット線（図示せず）の交点において書き込みワード線93を挟んで対向する位置に配置されている。また、図示はしていないが、第2のビット線は第1のビット線91上方に形成される。

【0181】図14の（3）に示すコンタクトの配置例は、平面レイアウト上における第1のビット線91と書き込みワード線93との交点に対してほぼ対称に、第1の導電体層21と第2の導電体層34とを延在させ、一方側に延在させた第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1のビット線91に接触しないように配置し、他方側に延在させた第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1のビット線91および書き込みワード線93に接触しないように配置した例である。なお、第1の導電体層21が接続される第1の情報記憶素子14は第1のビット線91と書き込みワード線93との交点において、また第2の導電体層34が接続される第2の情報記憶素子15は書き込みワード線93と第2のビット線（図示せず）の交点において書き込みワード線93を挟んで対向する位置に配置されている。また、図示はしていないが、第2のビット線は第1のビット線91上方に形成される。

【0182】図14の（4）に示すコンタクトの配置例は、平面レイアウト上、第1、第2のビット線91、92が互いに重ならないように配置されている。よって、第1の情報記憶素子14は第1のビット線91と書き込みワード線93とが交差する間に形成され、第2の情報記憶素子15は第1のビット線92と書き込みワード線93とが交差する間に形成されている。このような配線構成では、第1のコンタクト16は書き込みワード線93の一方側で第2のビット線92の下方に第1のビット線91に接触しないように配置され、第2のコンタクト17は書き込みワード線93を挟んで第1のコンタクト

16と対称な位置に第1のビット線91、書き込みワード線93等に接触しないように配置される。そして第1の導電体層21は第1の情報記憶素子の下面と第1のコンタクト16の上端とを接続し、第2の導電体層34は第2の情報記憶素子の上面と第2のコンタクト17の上端とを接続するように配置されている。

【0183】次に、本発明の第2の情報記憶装置の製造方法に係わる実施の形態を、図15の製造工程断面図によって説明する。なお、下地絶縁膜、第1～第6の絶縁膜は2点鎖線で示した。

【0184】図15の(1)に示すように、半導体基板(図示せず)にはトランジスタ素子(図示せず)が形成され、それを覆う下地絶縁膜51が形成されている。この下地絶縁膜51上に第1のビット線を形成するための膜を形成した後、リソグラフィー技術、エッチング技術等を用いてその膜を第1のビット線91に加工する。その後、第1のビット線91を被覆する第1の絶縁膜141を形成した後、その第1の絶縁膜141表面を平坦化して、上記第1のビット線91上面を露出する。この平坦化は、例えば化学的機械研磨もしくはエッチバック等により行う。

【0185】なお、図示はしないが、上記第1のビット線91は、溝配線技術を用いて溝配線構造に形成することも可能である。すなわち、下地絶縁膜51上に第1の絶縁膜141を形成する。この第1の絶縁膜141表面は平坦化しておく。次いで、リソグラフィー技術、エッチング技術等を用いてその第1の絶縁膜141に第1のビット線を形成するための溝を形成する。そして、その溝内に第1のビット線91の材料層を埋め込んだ後、上記第1の絶縁膜141上の余剰な材料層を例えば化学的機械研磨により除去することにより、第1のビット線91を溝配線構造に形成する。

【0186】次に、図15の(2)に示すように、CVD法、PVD法等の成膜技術により、上記第1のビット線91上および上記第1の絶縁膜141上に、第1の記憶層24を例えばコバルト鉄(CoFe)で成膜して積層膜を形成する。次いで第1のトンネル絶縁層23を例えば酸化アルミニウムで成膜する。さらに第1の磁化固定層22を例えばコバルト鉄(CoFe)もしくはコバルト(Co)もしくは鉄(Fe)で成膜する。その後、リソグラフィー技術とエッチング技術とを用いて、上記積層膜を加工して第1の情報記憶素子14を形成する。

【0187】次いで、図15の(3)に示すように、上記第1の絶縁膜141上に、上記第1の情報記憶素子14を覆う第2の絶縁膜142を形成する。その後、例えば化学的機械研磨によって、上記第2の絶縁膜142表面を平坦化するとともに上記第1の情報記憶素子14の上面を露出させる。

【0188】さらに、上記第2の絶縁膜142より下層に、前記トランジスタ素子に接続するもので上記第1の

情報記憶素子14の一方における端子となる第1のコンタクト16を第1のビット線91に接触しないように形成する。第1のコンタクト16の形成方法としては、リソグラフィー技術とエッチング技術とによって、第2の絶縁膜142より下層の上記トランジスタ素子(図示せず)に向かって接続孔を形成した後、上記接続孔内に必要に応じてバリア層を形成し、その後導電体を埋め込み、プラグを形成することによる。上記導電体やバリア層が第2の絶縁膜142上にも形成された場合には、第2の絶縁膜142上の余剰な導電体やバリア層を除去する。

【0189】次いで、CVD法、PVD法等の成膜技術を用いて、上記第2の絶縁膜142上に第1の導電体層21を形成する。第1の導電体層21は、下層より反強磁性体層とバリア層とで形成する。反強磁性体層は、例えば白金マンガン(PtMn)、鉄マンガン(FeMn)等の反強磁性材料で形成し、バリア層は、例えば窒化チタン、タンタル、窒化タンタル等の材料で形成する。その後、リソグラフィー技術とエッチング技術とを用いて、上記第2の絶縁膜142上に、上記第1の情報記憶素子14と上記第1のコンタクト16の一端とを接続するように第1の導電体層21を加工する。

【0190】上記成膜例では第1の磁化固定層22、第1のトンネル絶縁層23、第1の記憶層24を単層膜で形成したが、第1の磁化固定層22、第1のトンネル絶縁層23、第1の記憶層24を複数の膜を積層した積層膜で形成することも可能である。

【0191】また、第1の磁化固定層22と第1の導電体層21の反強磁性体層との組み合わせは、第1の記憶層24の磁化容易軸に平行となるように、耐ブロッキング温度(150℃～300℃、通常は250℃)よりも高い温度まで加熱中に強力な磁場をかけることで形成することもできる。もしくは、反強磁性体層に相当する部位を結晶学的組成に誘導する方法により形成し、第1の磁化固定層22の磁化方向を固定することもできる。

【0192】次いで、図15の(4)に示すように、CVD法によって、上記第2の絶縁膜142上に第1の導電体層21を覆う第3の絶縁膜143を形成する。その後、例えば化学的機械研磨によって、上記第3の絶縁膜143表面を平坦化する。この平坦化では、上記第1の導電体層21上に第3の絶縁膜143が所定の厚さだけ残るように平坦化を行う。もしくは、CVD法によって、上記第2の絶縁膜142上に第1の導電体層21を覆う第3の絶縁膜の下層を形成する。その後、例えば化学的機械研磨によって、上記第3の絶縁膜の下層表面を平坦化する。この平坦化では、上記第1の記憶層24表面が露出するように平坦化する。その後、第3の絶縁膜の下層上に上記第1の導電体層21を覆う第3の絶縁膜の上層を形成する方法を採用してもよい。

【0193】次に、溝配線技術を用いて書き込みワード

線 93 を形成する。以下、その詳細を説明する。第 3 の絶縁膜 143 上に第 4 の絶縁膜の上層 144a を形成する。次いで、リソグラフィー技術、エッチング技術等を用いて、第 4 の絶縁膜 144 に、上記第 1 の書き込み用ビット線 91 に平面視的に交差するように書き込みワード線を形成するための溝を形成する。次いで、その溝内に書き込みワード線の材料層を埋め込んだ後、上記第 4 の絶縁膜 144 上の余剰な材料層を例えば化学的機械研磨により除去することにより、上記第 1 の書き込み用ビット線 91 に平面視的に交差するもので上記第 1 の情報記憶素子 14 の上方を通る溝配線構造の書き込みワード線 93 を形成する。その後、第 4 の絶縁膜の下層 144a 上に第 4 の絶縁膜の上層 144b を形成する。

【0194】もしくは、図示はしないが、第 3 の絶縁膜の上層 143 上に書き込みワード線を形成するための膜を形成した後、リソグラフィー技術、エッチング技術等を用いてその膜を書き込みワード線 93 に加工する。その後、書き込みワード線 93 を被覆する第 4 の絶縁膜の下層 144a を形成した後、書き込みワード線 93 の表面が露出するように第 4 の絶縁膜の下層 144a 表面を平坦化する。この平坦化は、例えば化学的機械研磨もしくはエッチバック等により行う。さらに第 4 の絶縁膜の下層 144a 上に、書き込みワード線 93 を覆う第 4 の絶縁膜の上層 144b を形成して、第 4 の絶縁膜 144 を構成する。

【0195】次に、図 15 の (5) に示すように、上記第 4 の絶縁膜 144 より下層の絶縁膜に第 2 の情報記憶素子の一方における端子となるもので前記トランジスタ素子ストッパ (図示せず) に接続される第 2 のコンタクト 17 を形成する。第 2 のコンタクト 17 の形成方法としては、リソグラフィー技術とエッチバック技術とによって、第 4 の絶縁膜 144 より下層の上記トランジスタ素子 (図示せず) に向かって接続孔を形成した後、上記接続孔内に必要に応じてバリア層を形成し、その後導電体を埋め込み、プラグを形成することによる。上記導電体やバリア層が第 4 の絶縁膜 144 上にも形成された場合には、第 4 の絶縁膜 144 上の余剰な導電体やバリア層を除去する。

【0196】次いで、CVD 法、PVD 法等の成膜技術を用いて、上記第 4 の絶縁膜 144 上に第 2 の導電体層 34 を形成する。第 2 の導電体層 34 は、下層よりバリア層と反強磁性体層とを積層して形成する。バリア層は、例えば窒化チタン、タンタル、窒化タンタル等の材料で形成し、反強磁性体層は、例えば白金マンガン (PtMn)、鉄マンガン (FeMn) 等の反強磁性材料で形成する。さらに、第 2 の導電体層 34 上に、第 2 の磁化固定層 33 を例えばコバルト鉄 (CoFe) もしくはコバルト (Co) もしくは鉄 (Fe) で成膜して積層膜を形成し、第 2 のトンネル絶縁層 32 を例えば酸化アルミニウムで成膜し、第 2 の記憶層 31 を例えばコバルト

鉄 (CoFe) で成膜する。これら成膜は大気開放することなく連続して行うことが好ましい。その後、リソグラフィー技術とエッチング技術とを用いて、上記第 2 の記憶層 31 より第 2 の磁化固定層 33 の積層膜を加工して、上記第 1 の情報記憶装置 14 上方に第 2 の情報記憶素子 15 を形成する。次いで、リソグラフィー技術とエッチング技術とを用いて、上記第 2 の情報記憶装置 15 と上記第 2 のコンタクト 17 の一端とを接続するように第 2 の導電体層 34 を加工する。

【0197】上記成膜例では、第 2 の磁化固定層 31、第 2 のトンネル絶縁層 32、第 2 の記憶層 33 は単層膜で形成したが、第 2 の磁化固定層 31、第 2 のトンネル絶縁層 32、第 2 の記憶層 33 を複数の膜を積層した積層膜で形成することも可能である。

【0198】次いで、図 15 の (6) に示すように、CVD 法によって、上記第 4 の絶縁膜 144 上に、第 2 の情報記憶素子 15 を覆う第 5 の絶縁膜 145 を形成する。その後、例えば化学的機械研磨によって、上記第 2 の情報記憶素子 15 の磁化固定層 31 表面が露出するように第 5 の絶縁膜 145 の表面を平坦化する。

【0199】次いで、第 5 の絶縁膜 145 上に第 2 の書き込みワード線を形成するための膜を形成する。その後、リソグラフィー技術、エッチング技術等により上記膜を加工して、第 5 の絶縁膜 145 上に、第 2 の磁気記憶素子 15 に接続するもので上記第 1 の書き込み用ビット線 91 に沿った第 2 のビット線 92 を形成する。その後、第 5 の絶縁膜 145 上に、上記第 2 のビット線 92 を被覆する第 6 の絶縁膜 (図示せず) を形成した後、その第 6 の絶縁膜表面を平坦化する。この平坦化は、例えば化学的機械研磨もしくはエッチバック等により行う。

【0200】上記第 2 のビット線 92 の形成は、前記第 1 のビット線 91 の形成方法で説明したように、溝配線技術を用いて形成することも可能である。

【0201】上記第 2 の情報記憶装置 2 の製造方法では、書き込みワード線 93 を挟んで第 1 の情報記憶素子 14 と第 2 の情報記憶素子 15 とを形成することから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が 2 倍の情報記憶装置を形成することが可能になる。このため、情報の記憶量が向上される。また単位ビット当たりの製造コストが低減される。

【0202】本発明の実施の形態で説明した第 1 ～ 第 5 の絶縁膜、第 1、第 2 の層間絶縁膜等の絶縁膜材料には、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、酸化シリコン、窒化シリコン、酸化窒化シリコン等の絶縁材料を用いることが可能である。

【0203】上記各実施の形態において、第 1 の導電体層 21 上に第 1 の情報記憶素子 14 を形成する場合に、第 1 の導電体層 21 と第 1 の情報記憶素子 14 を構成する膜とを成膜した後、リソグラフィー技術とエッチング技術により第 1 の情報記憶素子 14 を形成し、その

後さらにリソグラフィー技術とエッチング技術により、第1の導電体層21を加工することも可能である。この場合には、第1の情報記憶素子14を形成した後に絶縁膜を形成し、その絶縁膜表面を平坦化するとともに第1の情報記憶素子14上面を露出させればよい。

【0204】同様に、第2の導電体層34上に第2の情報記憶素子15を形成する場合には、第2の導電体層34と第2の情報記憶素子15を構成する膜とを成膜した後、リソグラフィー技術とエッチング技術により第2の情報記憶素子15を形成し、その後さらにリソグラフィー技術とエッチング技術により、第2の導電体層34を加工することも可能である。この場合には、第1の情報記憶素子14を形成した後に絶縁膜を形成し、その絶縁膜表面を平坦化するとともに第1の情報記憶素子14上面を露出させればよい。

【0205】

【発明の効果】以上、説明したように本発明の第1の情報記憶装置によれば、ビット線を挟んで第1の情報記憶素子と第2の情報記憶素子とが設けられているので、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍になる。このため、情報の記憶量が大幅に多くなる。また第1の書き込みワード線と第2の書き込みワード線とに逆方向の電流を同時に流して情報の書き込みを行うことにより、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、電流値を少なくしても、第1、第2の情報記憶素子における記憶層の磁化を行うことができ、低消費電力化が図れる。

【0206】本発明の第2の情報記憶装置によれば、書き込みワード線を挟んで第1の情報記憶素子と第2の情報記憶素子とが設けられているので、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍になる。このため、情報の記憶量が大幅に多くなる。また第1のビット線と第2のビット線とに逆方向の電流を同時に流して情報の書き込みを行うことにより、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、電流値を少なくしても、第1、第2の情報記憶素子における記憶層の磁化を行うことができ、低消費電力化が図れる。

【0207】本発明の第1の情報記憶装置その情報書き込み方法によれば、第1の書き込みワード線と第2の書き込みワード線とに逆方向の電流を同時に流して情報の書き込みを行うことができるので、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、少ない電流値でも、第1、第2の情報記憶素子における記憶層の磁化を行うことができるので、低消費電力化が図れる。

【0208】本発明の第2の情報記憶装置その情報書き込み方法によれば、第1のビット線と第2のビット線とに逆方向の電流を同時に流して情報の書き込みを行うこ

とができるので、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、少ない電流値でも、第1、第2の情報記憶素子における記憶層の磁化を行うことができるので、低消費電力化が図れる。

【0209】本発明の第1の情報記憶装置の製造方法によれば、ビット線を挟んで第1の情報記憶素子と第2の情報記憶素子とを形成することから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍の情報記憶装置を形成することが可能になる。このため、情報の記憶量が大きい情報記憶装置を形成することができる。また単位ビット当たりの製造コストの低減が可能になる。

【0210】本発明の第2の情報記憶装置の製造方法によれば、書き込みワード線を挟んで第1の情報記憶素子と第2の情報記憶素子とを形成することから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍の情報記憶装置を形成することが可能になる。このため、情報の記憶量が大きい情報記憶装置を形成することができる。また単位ビット当たりの製造コストの低減が可能になる。

【図面の簡単な説明】

【図1】本発明の第1の情報記憶装置に係る第1の実施の形態を示す情報記憶装置の要部を示す部分断面斜視図である。

【図2】第1の情報記憶装置の詳細を示す概略構成図である。

【図3】本発明の第2の実施の形態を示す概略構成図である。

【図4】本発明の第1の情報記憶装置に係わるコンタクトの配置例を示すレイアウト図である。

【図5】本発明の第1の情報記憶装置の製造方法に係わる実施の形態を示す製造工程図である。

【図6】本発明の第1の情報記憶装置の製造方法に係わる実施の形態を示す製造工程図（続き）である。

【図7】本発明の第1の情報記憶装置の製造方法に係る第2の実施の形態を示す概略構成図である。

【図8】本発明の第1の情報記憶装置の製造方法に係る第3の実施の形態を示す概略構成図である。

【図9】本発明の第1の情報記憶装置の製造方法に係る第4の実施の形態を示す概略構成図である。

【図10】本発明の第1の情報記憶装置に係る実施の形態を示す情報記憶装置のメモリ部を示す部分断面斜視図である。

【図11】本発明の第2の情報記憶装置の詳細を示す概略構成図である。

【図12】本発明の第2の情報記憶装置の製造方法に係る第2の実施の形態を示す概略構成図である。

【図13】本発明の第2の情報記憶装置の製造方法に係る第3の実施の形態を示す概略構成図である。

43

44

【図14】本発明の第2の情報記憶装置に係わるコンタクトの配置例を示すレイアウト図である。

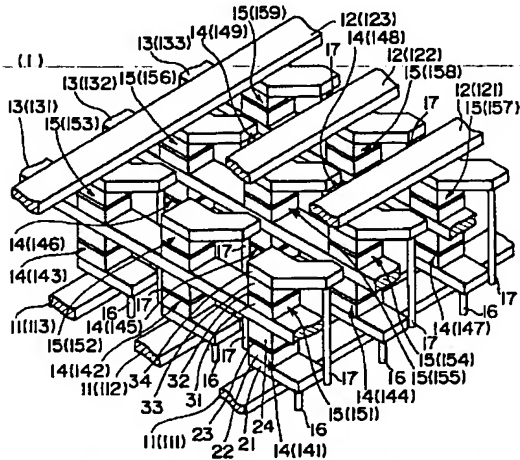
【図15】本発明の第2の情報記憶装置の製造方法に係わる実施の形態を示す製造工程図である。

【符号の説明】

*

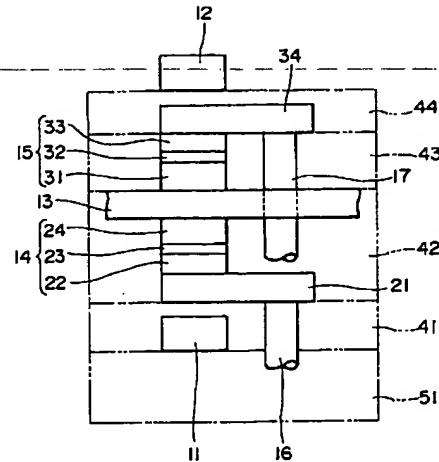
* 1…第1の情報記憶装置、11…第1の書き込みワード線、12…第2の書き込みワード線、13…ビット線、14…第1の情報記憶素子、15…第2の情報記憶素子

【図1】

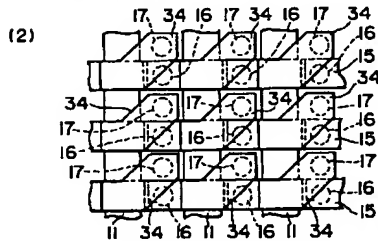


1…第1の情報記憶装置 11…第1の書き込みワード線
12…第2の書き込みワード線 13…ビット線
14…第1の情報記憶素子 15…第2の情報記憶素子

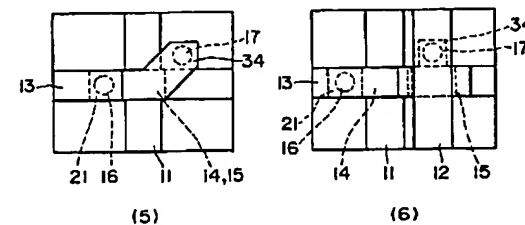
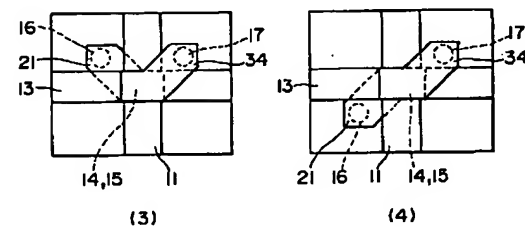
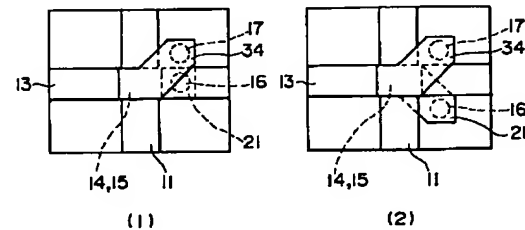
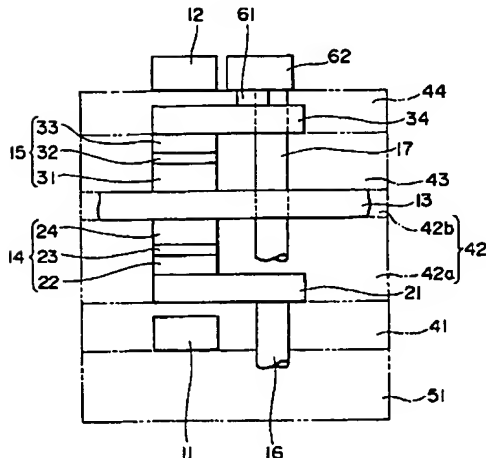
【図2】



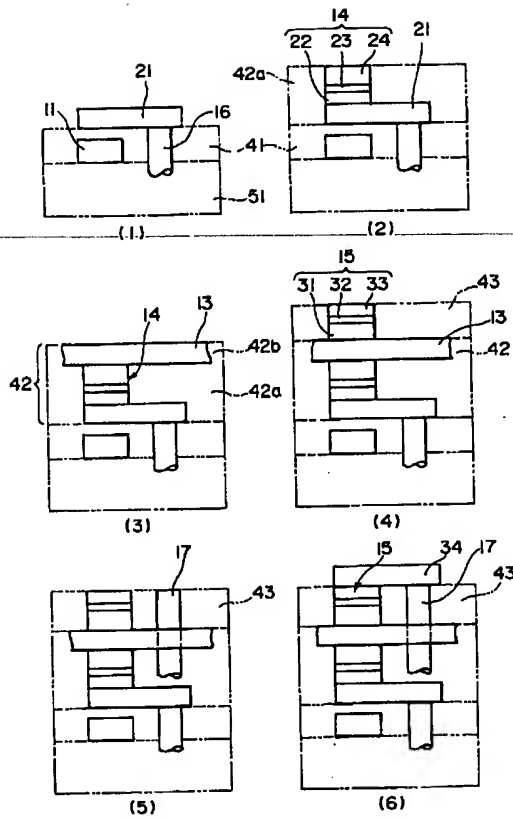
【図4】



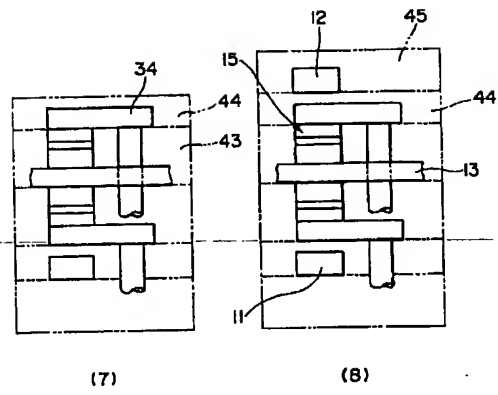
【図3】



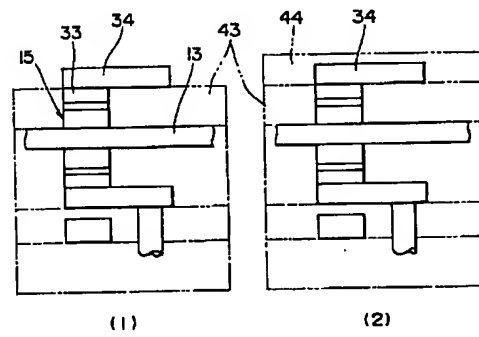
【図5】



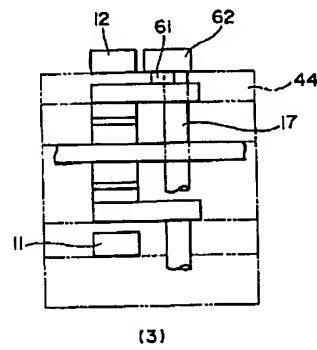
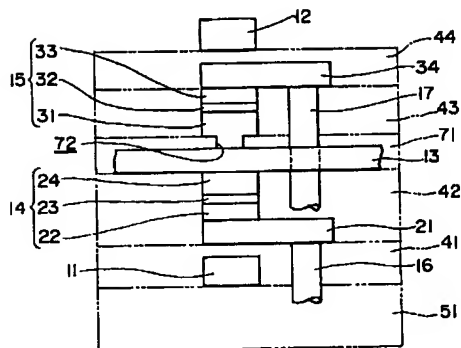
【図6】



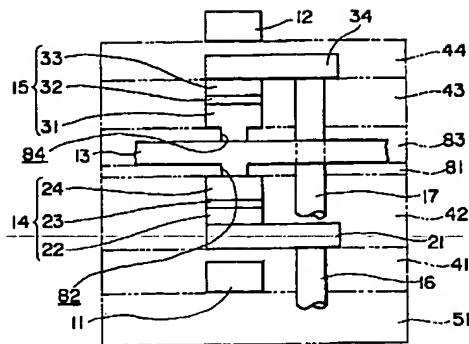
【図7】



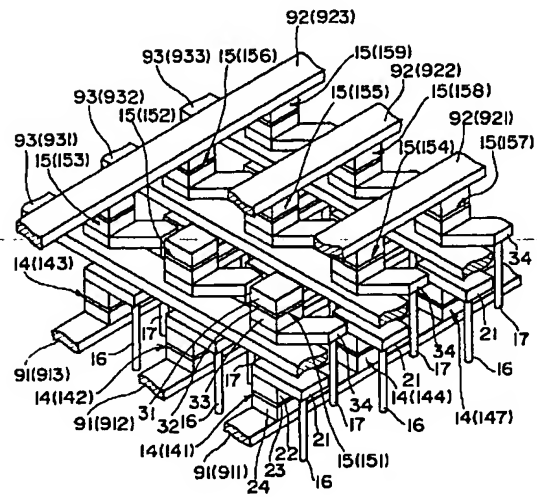
【図8】



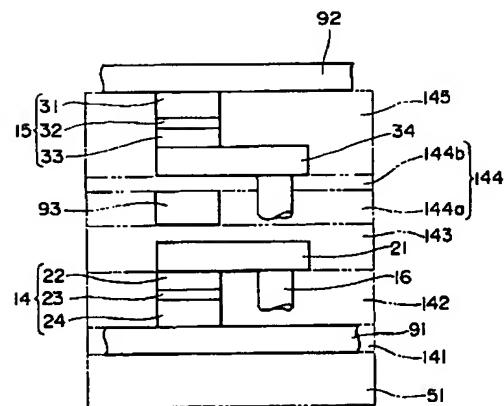
【図9】



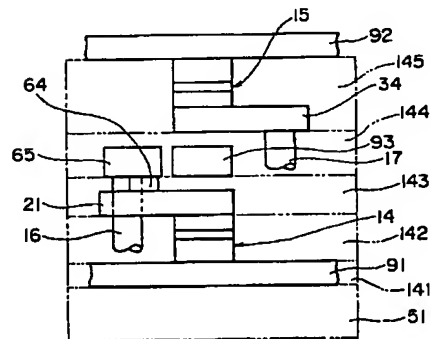
【図10】



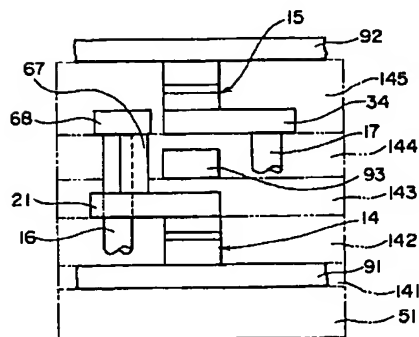
【図11】



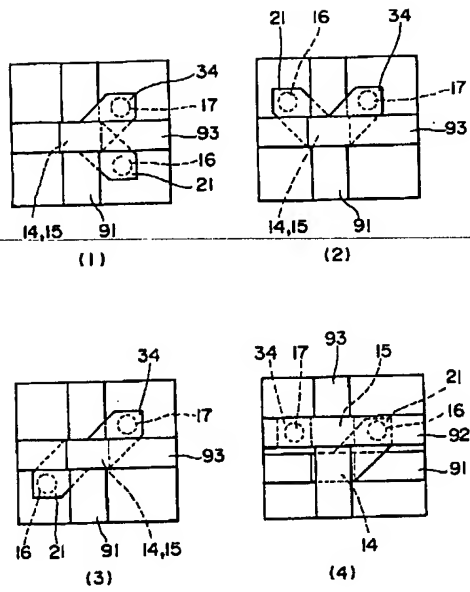
【図12】



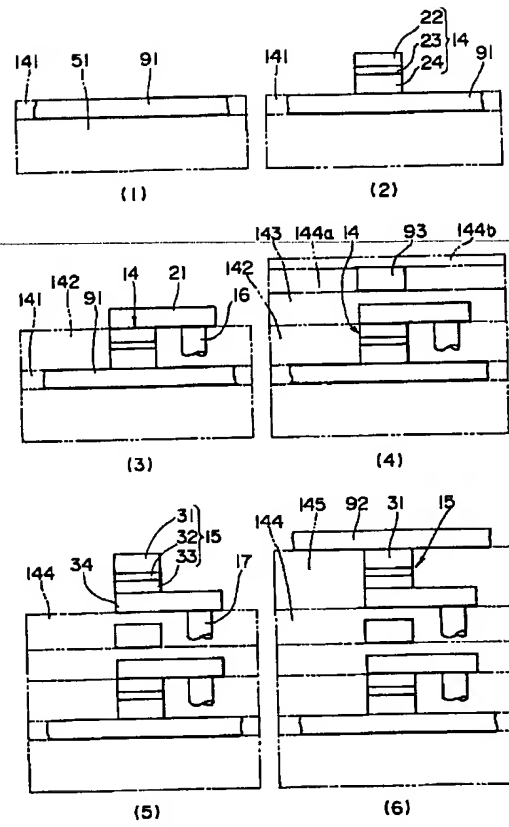
【図13】



【図14】



【図15】



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-133528

(P2003-133528A)

(43) 公開日 平成15年5月9日 (2003.5.9)

| (51) Int.Cl. ⁷ | 識別記号 | F I | キーワード (参考) |
|-------------------------------|-------|---------------|-------------|
| H 0 1 L 27/105 | | G 1 1 C 11/14 | A 5 F 0 8 3 |
| G 1 1 C 11/14 | | | E |
| | 11/15 | 11/15 | |
| H 0 1 L 43/08 | | H 0 1 L 43/08 | Z |
| | | 27/10 | 4 4 7 |
| 審査請求 未請求 請求項の数 6 O L (全 26 頁) | | | |

(21) 出願番号 特願2001-325802(P2001-325802)

(22) 出願日 平成13年10月24日 (2001.10.24)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 小室 善昭

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72) 発明者 元吉 真

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

Fターム (参考) 5F083 FZ10 GA05 JA36 JA38 JA39

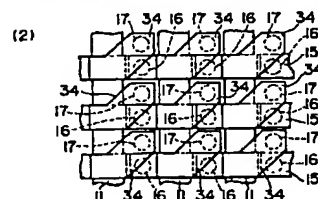
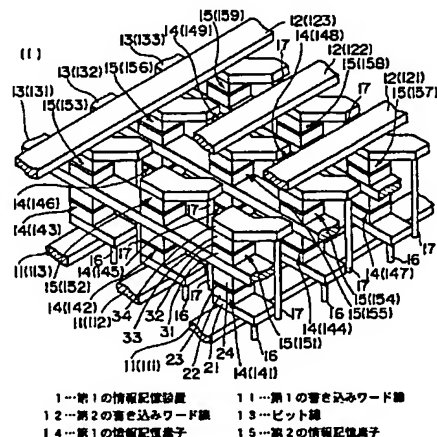
JA40 LA12 LA16 PR39 PR40

(54) 【発明の名称】 情報記憶装置、その情報書き込み方法およびその製造方法

(57) 【要約】

【課題】 強磁性体/半導体/強磁性体をメモリとする MRAMにおいて、占有面積を少なくして単位面積当たりのビット数の増加を図るとともに、消費電力の低を図る。

【解決手段】 間隔を置いて平行に形成された第1、第2の書き込みワード線11、12と、平面視的に第1、第2の書き込みワード線11、12と交差するように第1、第2の書き込みワード線11、12間に配置されたビット線13と、第1の書き込みワード線11とビット線13との交差部に形成された磁性体層を含む第1の情報記憶素子14と、第2の書き込みワード線12とビット線13との交差部に形成された磁性体層を含む第2の情報記憶素子15とを備えているものである。



【特許請求の範囲】

【請求項1】 半導体基板に形成されたトランジスタと、磁性体層を含む第1の情報記憶素子と、磁性体層を含む第2の情報記憶素子とを備えた情報記憶装置であって、

前記半導体基板の基板面方向にそって形成された第1の書き込みワード線と、

前記第1の書き込みワード線上に所定間隔を置いて交差するように形成されたビット線と、

前記第1の書き込みワード線と前記ビット線との交差部における前記第1の書き込みワード線と前記ビット線との間に設けられた前記第1の情報記憶素子と、

前記ビット線上に所定間隔を置いて交差するように形成されるとともに前記第1の書き込みワード線にそって形成された第2の書き込みワード線と、

前記ビット線を挟んで前記第1の情報記憶素子に対向する位置に配置されたもので前記ビット線と前記第2の書き込みワード線との交差部における前記ビット線と前記第2の書き込みワード線との間に設けられた前記第2の情報記憶素子とを備えたことを特徴とする情報記憶装置。

【請求項2】 半導体基板に形成されたトランジスタ素子と、磁性体層を含む第1の情報記憶素子と、磁性体層を含む第2の情報記憶素子とを備えた情報記憶装置であって、

前記半導体基板の基板面方向にそって形成された第1のビット線と、

前記第1のビット線上に所定間隔を置いて交差するように形成された書き込みワード線と、

前記第1のビット線と前記書き込みワード線との交差部における前記第1のビット線と前記書き込みワード線との間に設けられた前記第1の情報記憶素子と、

前記書き込みワード線上に所定間隔を置いて交差するように形成されるとともに前記第1のビット線にそって形成された第2のビット線と、

前記書き込みワード線を挟んで前記第1の情報記憶素子に対向する位置に配置されたもので前記書き込みワード線と前記第2のビット線との交差部における前記書き込みワード線と前記第2のビット線との間に設けられた前記第2の情報記憶素子とを備えたことを特徴とする情報記憶装置。

【請求項3】 半導体基板の基板面方向にそって形成された第1の書き込みワード線と、

前記第1の書き込みワード線上に所定間隔を置いて交差するように形成されたビット線と、

前記第1の書き込みワード線と前記ビット線との交差部における前記第1の書き込みワード線と前記ビット線との間に設けられた第1の情報記憶素子と前記ビット線上に所定間隔を置いて交差するように形成されるとともに

前記第1の書き込みワード線にそって形成された第2の

書き込みワード線と、

前記ビット線を挟んで前記第1の情報記憶素子に対向する位置に配置されたもので前記ビット線と前記第2の書き込みワード線との交差部における前記ビット線と前記第2の書き込みワード線との間に設けられた第2の情報記憶素子とを備えた情報記憶装置の情報書き込み方法であって、

前記第1の情報記憶素子と前記第2の情報記憶素子とを同方向の磁化方向で書き込みを行う場合、

前記第1の書き込みワード線と前記第2の書き込みワード線とに逆方向の電流を同時に流して情報の書き込みを行うことを特徴とする情報記憶装置の情報書き込み方法。

【請求項4】 半導体基板の基板面方向にそって形成された第1のビット線と、

前記第1のビット線上に所定間隔を置いて交差するように形成された書き込みワード線と、

前記第1のビット線と前記書き込みワード線との交差部における前記第1のビット線と前記書き込みワード線との間に設けられた第1の情報記憶素子と前記書き込みワード線上に所定間隔を置いて交差するように形成される

とともに前記第1のビット線にそって形成された第2のビット線と、

前記書き込みワード線を挟んで前記第1の情報記憶素子に対向する位置に配置されたもので前記書き込みワード線と前記第2のビット線との交差部における前記書き込みワード線と前記第2のビット線との間に設けられた第2の情報記憶素子とを備えた情報記憶装置の情報書き込み方法であって、

前記第1の情報記憶素子と前記第2の情報記憶素子とを同方向の磁化方向で書き込みを行う場合、

前記第1のビット線と前記第2のビット線とに逆方向の電流を同時に流して情報の書き込みを行うことを特徴とする情報記憶装置の情報書き込み方法。

【請求項5】 磁気ランダムアクセスメモリの製造方法であって、

トランジスタ素子が形成された基板上を覆う下地絶縁膜上に第1の書き込みワード線を形成する工程と、

前記下地絶縁膜上に前記書き込みワード線を覆う第1の絶縁膜を形成する工程と、

前記第1の絶縁膜より前記トランジスタ素子に通じるコンタクトを形成する工程と、

前記第1の絶縁膜上に前記第1の書き込みワード線より前記コンタクトに接続する状態に第1の反強磁性体層を含む第1の導電体層を形成する工程と、

前記書き込みワード線の前記第1の導電体層上に第1の磁気記憶素子を形成する工程と、

前記第1の絶縁膜上に第1の磁気記憶素子を覆う第2の絶縁膜を形成する工程と、

前記第2の絶縁膜に前記第1の書き込みワード線に平面

視的に交差するもので前記第1の磁気記憶素子上を通るビット線を形成する工程と、

前記ビット線を間にして前記第1の磁気記憶素子に対向する位置に第2の磁気記憶素子を形成する工程と、

前記第2の絶縁膜上に上記第2の磁気記憶素子を覆う第3の絶縁膜を形成する工程と、

前記第3の絶縁膜より前記トランジスタ素子に通じる第2のコンタクトを形成する工程と、

前記第3の絶縁膜に前記第2の磁気記憶素子上より前記第2のコンタクトに接続する第2の反強磁性体層を含む第2の導電体層を形成する工程と、

前記第3の絶縁膜上に前記第2の導電体層を覆う第4の絶縁膜を形成する工程と、

前記第2の磁気記憶素子上方における前記第4の絶縁膜上に前記第1の書き込みワード線に沿った方向に第2の書き込みワード線を形成する工程とを備えたことを特徴とする情報記憶装置の製造方法。

【請求項6】 磁気ランダムアクセスメモリの製造方法であって、

トランジスタ素子が形成された基板上を覆う下地絶縁膜上に第1のビット線を形成する工程と、

前記下地絶縁膜上に前記ビット線を覆う第1の絶縁膜を形成する工程と、

前記第1のビット線の上に第1の磁気記憶素子を形成する工程と、

前記第1の絶縁膜上に前記第1の磁気記憶素子を覆う第2の絶縁膜を形成する工程と、

前記第2の絶縁膜より前記トランジスタ素子に通じる第1のコンタクトを形成する工程と、

前記第2の絶縁膜上に前記第1の磁気記憶素子上より前記第1のコンタクトに接続するもので第1の反強磁性体層を含む第1の導電体層を形成する工程と、

前記第2の絶縁膜上に第1の導電体層を覆う第3の絶縁膜を形成する工程と、

前記第3の絶縁膜に前記第1のビット線に平面視的に交差するもので前記第1の磁気記憶素子上を通る書き込みワード線を形成する工程と、

前記第3の絶縁膜上に上記書き込みワード線を覆う第4の絶縁膜を形成する工程と、

前記第4の絶縁膜より前記トランジスタ素子に通じる第2のコンタクトを形成する工程と、

前記第4の絶縁膜上に前記第1の磁気記憶素子上より前記第2のコンタクトに接続するもので第2の反強磁性体層を含む第2の導電体層とともに、書き込みワード線を間にして前記第2の導電体層上の前記第1の磁気記憶素子に対向する位置に第2の磁気記憶素子を形成する工程と、

前記第4の絶縁膜上に前記第2の導電体層および前記第2の磁気記憶素子を覆う第5の絶縁膜を形成する工程と、

前記第5の絶縁膜上に前記第2の磁気記憶素子上方を通る前記第1のビット線に沿った方向に第2のビット線を形成する工程とを備えたことを特徴とする情報記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、情報記憶装置、その製造方法および情報書き込み方に関し、詳しくは強磁性体からなる磁化リソグラフィーを外部からの磁界を与えることにより、磁化領域の磁化を制御する磁気抵抗効果素子を備えた情報記憶装置、その製造方法および情報書き込み方に関する。

【0002】

【従来の技術】情報通信機器、特に携帯端末などの個人用小型機器の飛躍的な普及とともに、これを構成するメモリ素子やロジック素子等の素子には、高集積化、高速化、低消費電力化など、一層の高性能化が要求されている。特に不揮発性メモリはユビキタス時代に必要不可欠の素子と考えられている。

【0003】例えば、電源の消耗やトラブル、サーバーとネットワークが何らかの障害により切断された場合であっても、不揮発性メモリは個人の重要な情報を保護することができる。そして、不揮発性メモリの高密度化、大容量化は、可動部分の存在により本質的に小型化が不可能なハードディスクや光ディスクを置き換える技術としてますます重要になってきている。

【0004】また、最近の携帯機器は不要な回路ブロックをスタンバイ状態にしてでき得る限り消費電力を抑えようと設計されているが、高速ネットワークメモリと大容量ストレージメモリを兼ねることができない不揮発性メモリが実現できれば、消費電力とメモリとの無駄を無くすることができる。また、電源を入れたと瞬時に起動できる、いわゆるインスタント・オン機能も高速の大容量不揮発性メモリが実現できれば可能になってくる。

【0005】不揮発性メモリとしては、半導体を用いたフラッシュメモリや、強誘電体を用いたFRAM (Ferroelectric Random Access Memory) などがあげられる。しかしながら、フラッシュメモリは、書き込み速度がμ秒の桁であるため遅いという欠点がある。また構造が複雑なために高集積化が困難であり、しかも、アクセス時間が100ns程度と遅いという欠点がある。一方、FRAMにおいては、書き換え可能回数が $10^{12} \sim 10^{14}$ で完全にスタティックランダムアクセスメモリやダイナミックランダムアクセスメモリに置き換えるには耐久性が低いという問題が指摘されている。また、強誘電体キャパシタの微細加工が難しいという課題も指摘されている。

【0006】これらの欠点を有さない不揮発性メモリとして注目されているのが、例えば「Wang et al., IEEE Trans. Magn. 33 (1997) p4498」に記載されているよう

な、MRAM (Magnetic Random Access Memory) と呼ばれる磁気メモリであり、近年のTMR (Tunnel Magnetoresistance) 材料の特性向上により注目を集めるようになってきている。

【0007】MRAMは、構造が単純であるため高集積化が容易であり、また磁気モーメントの回転により記憶を行うために、書き換え回数が大であると予測されている。またアクセス時間についても、非常に高速であることが予想され、既に100MHzで動作可能であることが、R.Scheuerlein et al, ISSCC Digest of Papers (Feb. 2000) p128-129 で報告されている。また、TMR (Tunnel Magnetic Resistance) 効果により高出力が得られるようになった現在では、大きく改善されてきている。

【0008】上述の通り、高速化・高集積化が容易という長所を有するMRAMではあるが、書き込みは、TMR素子に近接させて設けられたビット線と書き込み用ワード線に電流を流し、その発生磁界によって行う。TMR素子の記憶層(記憶層)の反転磁界は材料にもよるが、200e⁻~2000e⁻が必要であり、このときの電流は数十mAになる。これは消費電流の増大につながり、携帯機器の低消費電力化に対して大きな課題となる。また、高集積化の面からは、ビット線および書き込み用ワード線は、リソグラフィ技術から決定される最小線幅に近いサイズが要求される。仮に、ビット線幅/ワード線幅が0.6μmとして、配線の膜厚を500nmとすると、3MA/cm²になり、銅配線を用いた場合(実用電流密度: 0.5MA/cm²)もエレクトロマイグレーションに対する寿命は大きな課題となる。さらに微細化していくと、強誘電体の反転磁界は増加し、配線の次元も縮小しなければならないため、この配線信頼性の課題はより大きくなっていく。

【0009】また、MRAMには、構造上の本質的な課題が存在する。MRAMにおける記憶は、配線に電流を流すことによって発生する電流磁場によって記憶層の磁化を回転させることによって行っている。ところが、高集積化によって、配線が細くなるにともない、書き込み線に流すことができる臨界電流値が下がるため、得られる磁界が小さくなり、被記憶領域の保磁力を小さくせざるを得ない。これは、情報記憶装置の信頼性が低下することを意味する。また、磁界というものは、光や電子線のように絞ることができないため、高集積化した場合には、クロストークの大きな原因になると考えられる。これを防止するためにキーパ構造等も提案されているが、構造の複雑化は避けられない。以上のように、電流磁場による書き込みには本質的に多くの課題があり、電流磁場による書き込みが将来のMRAMにおける大きな欠点になる恐れがある。

【0010】ところで、このような欠点は、磁界を用いることなく磁化を制御することが可能であれば解消する

ことができる。そして、磁界を用いることなく磁化を制御する手段として、例えば「Mattson et al., Phys. Rev. Lett. 77(1993) p.185」に記載されているように、強磁性体/半導体/強磁性体を積層して用いる手法が提案されている。

【0011】これは、強磁性体間の磁気的な結合が、中間層である半導体層のキャリア濃度に依存していることを利用するものである。強磁性体/半導体/強磁性体を積層した積層体では、中間層である半導体層のキャリア濃度を制御することにより、強磁性層間の磁気的結合を、例えば平行から反平行へと変化させることが可能である。そこで、一方の磁性層(固定層)の保磁力を大としておけば、他方の磁性層(可動層)の磁化を固定層に対して回転させることができる。特に電気的な入力で磁化を回転させる方法は、小型全固定素子を実現する技術として有望である。

【0012】これらの情報記憶素子の構造は種々報告されている。一例をあげると、特開平11-317071号公報に開示されているように、情報記憶素子の構成要素を成す磁性体膜を含む各種膜がビット線およびワード線に対して平行に積層されている構造がある。これらの製造方法としては情報記憶素子の構成要素を成す磁性体膜を含む各種膜を形成後、フォトリソグラフィ技術とドライエッチング技術とによって所定の長方形等の形状に加工する。

【0013】

【発明が解決しようとする課題】しかしながら、強磁性体/半導体/強磁性体を積層した積層体を製造する上で微細化が必要となるが、微細化を行うことにより、情報記憶素子の抵抗値が上昇する。また情報記憶素子を大きめに作製した場合、抵抗値は小さくなり、消費電力も少なくなるが、単位面積当たりのビット数が少なくなるという課題を有している。本発明は、上記説明した課題を解決し、占有面積が少なく、消費電力の少ない情報記憶素子を製造することを課題としている。

【0014】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた情報記憶装置、その製造方法および書き込み方法である。

【0015】本発明の第1の情報記憶装置は、半導体基板に形成されたトランジスタと、磁性体層を含む第1の情報記憶素子と、磁性体層を含む第2の情報記憶素子とを備えた情報記憶装置であって、前記半導体基板の基板面方向にそって形成された第1の書き込みワード線と、前記第1の書き込みワード線上に所定間隔を置いて交差するように形成されたビット線と、前記第1の書き込みワード線と前記ビット線との交差部における前記第1の書き込みワード線と前記ビット線との間に設けられた前記第1の情報記憶素子と、前記ビット線上に所定間隔を置いて交差するように形成されるとともに前記第1の書

き込みワード線にそって形成された第2の書き込みワード線と、前記ビット線を挟んで前記第1の情報記憶素子に対向する位置に配置されたもので前記ビット線と前記第2の書き込みワード線との交差部における前記ビット線と前記第2の書き込みワード線との間に設けられた前記第2の情報記憶素子とを備えたものである。

【0016】上記第1の情報記憶装置では、ビット線を挟んで第1の情報記憶素子と第2の情報記憶素子とが設けられていることから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍になる。このため、情報の記憶量が向上される。また1本のビット線に接続される第1、第2の情報記憶素子の磁化方向を同方向に変える場合には、第1の書き込みワード線と第2の書き込みワード線とに逆方向の電流を同時に流して情報の書き込みを行うことによって、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、この場合には、電流値を少なくしても、第1、第2の情報記憶素子における記憶層の磁化を行うことができ、そのため、電流値を少なくすることが可能になり、低消費電力化が可能となる。

【0017】本発明の第2の情報記憶装置は、半導体基板に形成されたトランジスタと、磁性体層を含む第1の情報記憶素子と、磁性体層を含む第2の情報記憶素子とを備えた情報記憶装置であって、前記半導体基板の基板面方向にそって形成された第1のビット線と、前記第1のビット線上に所定間隔を置いて交差するように形成された書き込みワード線と、前記第1のビット線と前記書き込みワード線との交差部における前記第1のビット線と前記書き込みワード線との間に設けられた前記第1の情報記憶素子と、前記書き込みワード線上に所定間隔を置いて交差するように形成されるとともに前記第1のビット線にそって形成された第2のビット線と、前記書き込みワード線を挟んで前記第1の情報記憶素子に対向する位置に配置されたもので前記書き込みワード線と前記第2のビット線との交差部における前記書き込みワード線と前記第2のビット線との間に設けられた前記第2の情報記憶素子とを備えたものである。

【0018】上記第2の情報記憶装置では、書き込みワード線を挟んで第1の情報記憶素子と第2の情報記憶素子とが設けられていることから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍になる。このため、情報の記憶量が向上される。また1本の書き込みワード線によって第1、第2の情報記憶素子の磁化方向を同方向に変える場合には、第1のビット線と第2のビット線とに逆方向の電流を同時に流して情報の書き込みを行うことによって、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、この場合には、電流値を少なくしても、第1、第2の情報記憶素子における記憶層の磁化を行うことができ、そのため、電流値を少なくすることが可能に

なり、低消費電力化が可能となる。

【0019】本発明の第1の情報記憶装置の情報書き込み方法は、半導体基板の基板面方向にそって形成された第1の書き込みワード線と、前記第1の書き込みワード線上に所定間隔を置いて交差するように形成されたビット線と、前記第1の書き込みワード線と前記ビット線との交差部における前記第1の書き込みワード線と前記ビット線との間に設けられた第1の情報記憶素子と、前記ビット線上に所定間隔を置いて交差するように形成されるとともに前記第1の書き込みワード線にそって形成された第2の書き込みワード線と、前記ビット線を挟んで前記第1の情報記憶素子に対向する位置に配置されたもので前記ビット線と前記第2の書き込みワード線との交差部における前記ビット線と前記第2の書き込みワード線との間に設けられた第2の情報記憶素子とを備えた情報記憶装置の情報書き込み方法であって、前記第1の情報記憶素子と前記第2の情報記憶素子とを同方向の磁化方向で書き込みを行う場合、前記第1の書き込みワード線と前記第2の書き込みワード線とに逆方向の電流を同時に流して情報の書き込みを行う情報書き込み方法である。

【0020】上記第1の情報記憶装置の情報書き込み方法では、第1の情報記憶素子と第2の情報記憶素子とを同方向の磁化方向で書き込みを行う場合、第1の書き込みワード線と第2の書き込みワード線とに逆方向の電流を同時に流して情報の書き込みを行うことによって、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、この場合には、電流値を少なくしても、第1、第2の情報記憶素子における記憶層の磁化を行うことができ、そのため、電流値を少なくすることが可能になり、低消費電力化が可能となる。

【0021】本発明の第2の情報記憶装置の情報書き込み方法は、半導体基板の基板面方向にそって形成された第1のビット線と、前記第1のビット線上に所定間隔を置いて交差するように形成された書き込みワード線と、前記第1のビット線と前記書き込みワード線との交差部における前記第1のビット線と前記書き込みワード線との間に設けられた第1の情報記憶素子と、前記書き込みワード線上に所定間隔を置いて交差するように形成されるとともに前記第1のビット線にそって形成された第2のビット線と、前記書き込みワード線を挟んで前記第1の情報記憶素子に対向する位置に配置されたもので前記書き込みワード線と前記第2のビット線との交差部における前記書き込みワード線と前記第2のビット線との間に設けられた第2の情報記憶素子とを備えた情報記憶装置の情報書き込み方法であって、前記第1の情報記憶素子と前記第2の情報記憶素子とを同方向の磁化方向で書き込みを行う場合、前記第1のビット線と前記第2のビット線とに逆方向の電流を同時に流して情報の書き込み

を行う情報書き込み方法である。

【0022】上記第2の情報記憶装置の情報書き込み方法では、第1の情報記憶素子と第2の情報記憶素子とを同方向の磁化方向で書き込みを行う場合、第1のビット線と第2のビット線とに逆方向の電流を同時に流して情報の書き込みを行うことによって、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、この場合には、電流値を少なくしても、第1、第2の情報記憶素子における記憶層の磁化を行うことができ、そのため、電流値を少なくすることが可能になり、低消費電力化が可能となる。

【0023】本発明の第1の情報記憶装置の製造方法は、トランジスタ素子が形成された基板上を覆う下地絶縁膜上に第1の書き込み用ワード線を形成する工程と、前記下地絶縁膜上に前記書き込みワード線を覆う第1の絶縁膜を形成する工程と、前記第1の絶縁膜より前記トランジスタ素子に通じるコンタクトを形成する工程と、前記第1の絶縁膜上に前記第1の書き込みワード線より前記コンタクトに接続する状態に第1の反強磁性体層を含む第1の導電体層を形成する工程と、前記書き込みワード線上の前記第1の導電体層上に第1の磁気記憶素子を形成する工程と、前記第1の絶縁膜上に第1の磁気記憶素子を覆う第2の絶縁膜を形成する工程と、前記第2の絶縁膜に前記第1の書き込みワード線に平面視的に交差するもので前記第1の磁気記憶素子上を通るビット線を形成する工程と、前記ビット線を間にして前記第1の磁気記憶素子に対向する位置に第2の磁気記憶素子を形成する工程と、前記第2の絶縁膜上に上記第2の磁気記憶素子を覆う第3の絶縁膜を形成する工程と、前記第3の絶縁膜より前記トランジスタ素子に通じる第2のコンタクトを形成する工程と、前記第3の絶縁膜に前記第2の磁気記憶素子上より前記第2のコンタクトに接続する第2の反強磁性体層を含む第2の導電体層を形成する工程と、前記第3の絶縁膜上に前記第2の導電体層を覆う第4の絶縁膜を形成する工程と、前記第2の磁気記憶素子上方における前記第4の絶縁膜上に前記第1の書き込みワード線に沿った方向に第2の書き込み用ワード線を形成する工程とを備えた情報記憶装置の製造方法である。

【0024】上記第1の情報記憶装置の製造方法では、ビット線を挟んで第1の情報記憶素子と第2の情報記憶素子とを形成することから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍の情報記憶装置を形成することが可能になる。このため、情報の記憶量が向上される。また単位ビット当たりの製造コストが低減される。

【0025】本発明の第2の情報記憶装置の製造方法は、磁気ランダムアクセスメモリの製造方法であって、トランジスタ素子が形成された基板上を覆う下地絶縁膜上に第1のビット線を形成する工程と、前記下地絶縁膜

上に前記ビット線を覆う第1の絶縁膜を形成する工程と、前記第1のビット線に第1の磁気記憶素子を形成する工程と、前記第1の絶縁膜上に前記第1の磁気記憶素子を覆う第2の絶縁膜を形成する工程と、前記第2の絶縁膜より前記トランジスタ素子に通じる第1のコンタクトを形成する工程と、前記第2の絶縁膜上に前記第1の磁気記憶素子上より前記第1のコンタクトに接続するもので第1の反強磁性体層を含む第1の導電体層を形成する工程と、前記第2の絶縁膜上に第1の導電体層を覆う第3の絶縁膜を形成する工程と、前記第3の絶縁膜に前記第1のビット線に平面視的に交差するもので前記第1の磁気記憶素子上を通る書き込みワード線を形成する工程と、前記第3の絶縁膜上に上記書き込みワード線を覆う第4の絶縁膜を形成する工程と、前記第4の絶縁膜より前記トランジスタ素子に通じる第2のコンタクトを形成する工程と、前記第4の絶縁膜上に前記第1の磁気記憶素子上より前記第2のコンタクトに接続するもので第2の反強磁性体層を含む第2の導電体層とともに、書き込みワード線を間にして前記第2の導電体層上の前記第1の磁気記憶素子に対向する位置に第2の磁気記憶素子を形成する工程と、前記第4の絶縁膜上に前記第2の導電体層および前記第2の磁気記憶素子を覆う第5の絶縁膜を形成する工程と、前記第5の絶縁膜上に前記第2の磁気記憶素子上方を通り前記第1のビット線に沿った方向に第2のビット線を形成する工程とを備えた情報記憶装置の製造方法である。

【0026】上記第2の情報記憶装置の製造方法では、書き込みワード線を挟んで第1の情報記憶素子と第2の情報記憶素子とを形成することから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍の情報記憶装置を形成することが可能になる。このため、情報の記憶量が向上される。また単位ビット当たりの製造コストが低減される。

【0027】

【発明の実施の形態】本発明の第1の情報記憶装置に係る第1の実施の形態を図1によって説明する。図1の(1)は情報記憶装置のメモリ部を示す部分断面斜視図であり、(2)は情報記憶装置のメモリ部を示すレイアウト図である。

【0028】図1に示すように、第1の書き込みワード線11(111、112、113)は例えば同一平面に並列に配置されている。各第1の書き込みワード線111、112、113上には、各第1の書き込みワード線111、112、113と所定の間隔を置いて対応する第2の書き込みワード線12(121、122、123)が同一平面にかつ並列に配置されている。

【0029】各第1の書き込みワード線111、112、113とそれに対向する第2の書き込みワード線121、122、123との間には、ビット線13(131、132、133)が例えば同一平面にかつ上記第1

の書き込みワード線 111、112、113（第2の書き込みワード線 121、122、123）に交差するように並列に配置されている。ここでは、各ビット線 13 は第1、第2の各第1、第2の書き込みワード線 11、12 と直交するように配置されている。

【0030】さらに上記第1の書き込みワード線 11 と上記各ビット線 13 とが交差するそれぞれの位置には第1の情報記憶素子 14（141～149）が配置されている。また、上記各第2の書き込みワード線 12 と上記各ビット線 13 とが交差するそれぞれの位置には第2の情報記憶素子 15（151～159）が配置されている。すなわち、各第1、第2の情報記憶素子 14、15 は各第1の書き込みワード線 11、12 と各ビット線 13 とが交差する各位置でビット線 13 を挟んで対向する位置に配置されている。

【0031】上記第1の情報記憶素子 14 は、例えば、磁気トンネル接合素子（MTJ 素子：MTJ は Magnetic Tunnel Junction の略）もしくはトンネル磁気抵抗素子（TMR 素子：TMR は Tunnel Magnetic Resistance の略）で構成されている。一例として、第1の書き込みワード線 11 側より、第1の反強磁性体層を含む導電体層 21、第1の磁化固体層 22、第1のトンネル絶縁層 23、第1の記憶層 24 を積層した構造からなり、上記第1の導電体層 21 は、例えば、上記第1の書き込みワード線 11 側より、第1のバリア層と第1の反強磁性体層とを積層して形成されている。また第1の書き込みワード線 11 と上記第1の導電体層 21 との間には第1の絶縁層（図示せず）が形成されている。また、上記第1の導電体層 21 は、上記トランジスタ（図示せず）に接続する第1のコンタクト 16 が接続されている。

【0032】上記第2の情報記憶素子 15 は、例えば、MTJ 素子もしくは TMR 素子で構成されている。一例として、ビット線 13 側より、第2の記憶層 31、第2のトンネル絶縁層 32、第2の磁化固体層 33、第2の導電体層 34 を含む第2の導電体層 34 を積層した構造からなり、上記第2の導電体層 34 は、例えば、上記第2の書き込みワード線 12 側より、第1のバリア層と第2の反強磁性体層とを積層して形成されている。また第2の書き込みワード線 12 と上記第2の導電体層 34 との間には第4の絶縁層（図示せず）が形成されている。また、上記各第2の導電体層 34 は、上記トランジスタ（図示せず）に接続する第2のコンタクト 17 が接続されている。

【0033】上記第1の情報記憶素子 14 は、その書き込み時には、例えば、選択される第1の情報記憶素子 14 に対応する第1の書き込みワード線 11、ビット線 13 を選択して電流を流し、磁界を発生させ、第1の情報記憶素子 14 内における第1の記憶層 24（強磁性体層）に磁界の方向を記憶する。

【0034】また上記第2の情報記憶素子 15 は、その書き込み時には、例えば、選択される第2の情報記憶素子 15 に対応する第2の書き込みワード線 12、ビット線 13 を選択して電流を流し、磁界を発生させ、第2の情報記憶素子 15 内における第2の記憶層 31（強磁性体層）に磁界の方向を記憶する。

【0035】一方、読み出し時には、例えば、選択される第1の情報記憶素子 14 の情報を読み出す場合に、第1の情報記憶素子 14 に対応するビット線 13 と第1のコンタクト 16 との間に電圧をかけ、流れるセンス電流を検知し、記憶情報を取り出す。

【0036】また、例えば、選択される第2の情報記憶素子 15 の情報を読み出す場合に、第2の情報記憶素子 15 に対応するビット線 13 と第2のコンタクト 17 との間に電圧をかけ、流れるセンス電流を検知し、記憶情報を取り出す。

【0037】第1、第2の情報記憶素子 14、15 は、デジタルの 0、1 を書き込むことによりその抵抗値が変化することを利用している。

【0038】次に、上記図 1 によって説明した情報記憶装置のビット線 13 を挟む一つの情報記憶素子対に注目し、情報記憶装置の詳細を、図 2 の概略構成図によって説明する。なお、下地絶縁膜、第1～第4の絶縁膜は 2 点鎖線で示した。

【0039】図 2 に示すように、半導体基板（図示せず）にはトランジスタ素子（図示せず）が形成され、それを覆う下地絶縁膜 51 が形成されている。この下地絶縁膜 51 上には第1の書き込みワード線 11 が形成されている。上記第1の書き込みワード線 11 は、例えばアルミニウム、アルミニウム合金、銅、銅合金等の一般的な半導体装置の配線材料で形成されている。もしくは、イリジウム、オスミウム、クロム、ジルコニウム、タングステン、タンタル、チタントリウム、バナジウム、モリブデン、ロジウム、ニッケルおよびルテニウムのうちの少なくとも 1 種で形成されている、もしくはこれら材料のうちの複数種からなる合金で形成されている。上記下地絶縁膜 51 上には上記第1の書き込みワード線 11 を覆う第1の絶縁膜 41 が、例えば酸化シリコンもしくは酸化アルミニウムで形成されている。この第1の絶縁膜 41 および下地絶縁膜 51 には、第1の絶縁膜 41 より上記トランジスタ素子に接続する第1のコンタクト 16 が形成されている。この第1のコンタクト 16 は、例えば窒化チタン膜とチタン膜とからなるバリア層を介してタングステンで形成されている。タングステンの代わりに、上記第1の書き込みワード線 11 と同様の材料を用いることも可能である。

【0040】上記第1の絶縁膜 41 上には、上記第1の書き込みワード線 11 上より上記第1のコンタクト 16 に接続する状態に第1の反強磁性体層を含む第1の導電体層 21 が形成されている。上記第1の導電体層 21

は、上記説明したのと同様に、バリア層と反強磁性体層との積層構造を成している。

【0041】さらに第1の情報記憶素子14は、上記第1の書き込みワード線11の上における上記第1の導電体層21上に、第1の書き込みワード線11側より、第1の磁化固定層22、第1のトンネル絶縁層23、第1の記憶層24の順で積層された積層体で構成されている。また、上記第1の導電体層21には上記トランジスタ素子に接続される第1のコンタクト16が接続されている。

【0042】上記第1の絶縁膜41上には、第1の情報記憶素子14の上面が露出するように、この第1の情報記憶素子14を埋め込む第2の絶縁膜42が形成されている。上記第2の絶縁膜42には、上記第1の情報記憶素子14に接続するビット線13が、例えば溝配線構造に形成されている。

【0043】または、第2の絶縁膜42が下層と上層の2層に形成されている。すなわち、第2の絶縁膜の下層は、第1の情報記憶素子14を埋め込むようにかつ第1の情報記憶素子14の上面が露出するように形成され、その上に第1の情報記憶素子14に接続するビット線13が形成されている。第2の絶縁膜の上層は、ビット線13を埋め込むように形成されていてもよい。

【0044】上記ビット線13上には、第2の情報記憶素子15が形成されている。この第2の情報記憶素子15の主要部は、上記ビット線13側より、第2の記憶層31、第2のトンネル絶縁層32、第2の磁化固定層33で構成されている。

【0045】上記第2の絶縁膜42上には、上記第2の情報記憶素子15の主要部を埋め込みかつ上記第2の情報記憶素子15の主要部上面を露出させた状態に第3の絶縁膜43が形成されている。この第3の絶縁膜43より上記トランジスタ素子（図示せず）に接続する第2のコンタクト17が形成されている。

【0046】さらに上記第2の情報記憶素子15の主要部上には第2の導電体層34が接続され、この第2の導電体層34は上記第3の絶縁膜43上を延長され上記第2のコンタクト17に接続されている。上記第2の導電体層34は下層より反強磁性体層とバリア層との積層構造を成している。

【0047】上記第3の絶縁膜43上には、上記第2の導電体層34を覆う第4の絶縁膜44が形成されている。さらに上記第2の情報記憶素子15上方を通るように、上記第4の絶縁膜44上には、上記ビット線13と交差するように、すなわち、上記第1の書き込みワード線11にはぼそって配置されるように、第2の書き込みワード線12が形成されている。

【0048】上記第1、第2の記憶層24、31は、例えばコバルト鉄（CoFe）で構成され、上記第1、第2のトンネル絶縁層23、32は、例えば酸化アルミニ

ウム（ AlO_3 ）で構成され、上記第1、第2の磁化固定層22、33は、例えば、コバルト鉄（CoFe）で構成され、上記第1、第2の導電体層21、34の1層を構成する反強磁性体層は、例えば白金マンガン（PtMn）もしくはマンガン鉄（MnFe）で構成されている。またバリア層は、窒化チタン、タンタルもしくは窒化タンタルで構成されている。そして、上記第1、第2の記憶層24、31は、磁化容易軸（EA）という磁化方向のための好ましい軸を有するように形成されている。

【0049】上記第1の情報記憶装置1では、ビット線13を間にして第1の情報記憶素子14と第2の情報記憶素子15とが設けられていることから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍になる。このため、情報の記憶量が向上される。また1本のビット線13に接続される第1、第2の情報記憶素子14、15の磁化方向を同方向に変える場合には、第1、第2の書き込みワード線11、12に同時に逆方向に電流を流すことによって、第1、第2の情報記憶素子14、15の部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、この場合には、電流値を少なくしても、第1、第2の記憶層24、31の磁化を行うことができ、そのため、電流値を少なくすることが可能になり、低消費電力化が可能となる。

【0050】次に、抵抗値の変化の原理について、前記図2によって説明する。上記磁化容易軸に沿った、可変性強磁性層の磁化方向として2通りの方向が可能であり、これが上記第1、第2の情報記憶素子14、15の2通りの状態を定義する。この方向はある一つの方向およびその方向より180°反転した方向の2通りとなる。

【0051】一方、第1、第2の磁化固定層22、33は、単一方向異方性方向という好ましい磁化方向を一つだけ有するように形成することができる。この方向は、第1、第2の磁化固定層22、33の磁化容易軸に平行になるように、耐ブロッキング温度より高い温度（例えば150℃～300℃、通常は250℃程度である）まで加熱中に強力な磁場をかける、もしくは、結晶学的組成を誘導することにより固定する。

【0052】一般的には、第1、第2の磁化固定層22、33および第1、第2の記憶層24、31の磁化軸の方向は、これらを構成する機構の長辺方向に設定する。例えば、図2に示すような構成では、図面に対して水平方向（矢印A方向）に磁化軸を設定する場合には、第1、第2の情報記憶素子14、15は横長の構造とする。

【0053】第1、第2の情報記憶素子14、15に書き込みを行う場合には、第1、第2の書き込みワード線11、12およびビット線13に電流を流して磁界を発生させる。その際、第1の書き込みワード線11に対し

て第2の書き込みワード線12には、逆方向の電流を流す。この発生した磁界は第1、第2の情報記憶素子14、15の第1、第2の記憶層24、31の磁界方向を決定することができる。しかし、第1、第2の磁化固定層22、33の磁界方向を変化させることはできない。
【0054】一度決定された磁界方向は、第1、第2の書き込みワード線11、12およびビット線13の電流を遮断しても前の状態に戻ることは無く、磁界を保持することができる。

【0055】次に、第1、第2の書き込みワード線11、12およびビット線13の両方もしくは一方の電流の流れる方向を逆方向にすることにより、その周辺に発生する磁界は変化する。磁界が変化する事により、第1、第2の記憶層24、31の磁界方向が逆転し、第1、第2の書き込みワード線11、12およびビット線13の電流を遮断しても、前の状態に戻ることは無く、磁界を保持することができる。

【0056】前述したように、この磁化容易軸にそった第1、第2の記憶層24、31の磁化方向として2通りの方向が可能であり、第1の記憶層24と第1の磁化固定層22との方向が同じ方向になった場合、ならびに第2の記憶層31と第2の磁化固定層33との方向が同じ方向になった場合を平行方向（もしくは平行状態）、180°逆方向になった場合を反平行方向（もしくは反平行状態）と呼ぶ。

【0057】第1の記憶層24の磁界方向と第1の磁化固定層22の磁界方向が平行状態になった場合、第2の記憶層31の磁界方向と第2の磁化固定層33の磁界方向が平行状態になった場合には、第1、第2のトンネル絶縁層23、32を電子が通過できる確率が高くなる。つまり抵抗値が低くなる。

【0058】逆に反平行状態になった場合には、電子が通過できる確率が低くなる。つまり、抵抗値が高くなる。よって、第1、第2の記憶層24、31の磁界方向を変化させることにより、この第1、第2の情報記憶素子14、15の両端、つまりビット線13とコンタクト16、17との間に電圧をかけた場合、この第1、第2の情報記憶素子14、15を流れる電流量に差が出ることになる。

【0059】その結果、この第1、第2の記憶層24、31の磁化方向により第1、第2の情報記憶素子14、15の2通りのビット状態（0または1）が明確に定義される。

【0060】次に、本発明の第1の情報記憶装置に係わる第2の実施の形態を、図3の概略構成図によって説明する。図3では、前記図2に示した構成部品と同様のものには同一符号を付与した。なお、下地絶縁膜、第1～第4の絶縁膜は2点鎖線で示した。

【0061】前記図2により説明したのと同様の材料によって、図3に示すように、半導体基板（図示せず）に

はトランジスタ素子（図示せず）が形成され、それを覆う下地絶縁膜51が形成されている。この下地絶縁膜51上には第1の書き込みワード線11が形成されている。上記下地絶縁膜51上には上記第1の書き込みワード線11を覆う第1の絶縁膜41が形成されている。この第1の絶縁膜41および下地絶縁膜51には、第1の絶縁膜41より上記トランジスタ素子に接続する第1のコンタクト16が形成されている。

【0062】上記第1の絶縁膜41上には、上記第1の書き込みワード線11上より上記第1のコンタクト16に接続する状態に第1の反強磁性体層を含む第1の導電体層21が形成されている。上記第1の導電体層21は、上記説明したのと同様に、バリア層と反強磁性体層との積層構造を成している。

【0063】さらに第1の情報記憶素子14は、上記第1の書き込みワード線11の上方における上記第1の導電体層21上に、第1の書き込みワード線11側より、第1の磁化固定層22、第1のトンネル絶縁層23、第1の記憶層24の順で積層された積層体で構成されている。また、上記第1の導電体層21には上記トランジスタ素子に接続される第1のコンタクト16が接続されている。

【0064】上記第1の絶縁膜41上には、第1の情報記憶素子14の上面が露出するように、この第1の情報記憶素子14を埋め込む第2の絶縁膜の下層42aが形成されている。

【0065】上記第2の絶縁膜の下層42a上には第2の絶縁膜の上層42bが形成され、この第2の絶縁膜の上層には、上記第1の情報記憶素子14に接続する例えば溝配線構造のビット線13が形成されている。ここでは、ビット線13を溝配線構造としたが、通常の配線構造であってもよい。この場合には、第2の絶縁膜の下層42a上にビット線13が形成され、このビット線13の上面が露出するように第2の絶縁膜の下層42a上に第2の絶縁膜の上層42bが形成される。

【0066】上記ビット線13上には、第2の情報記憶素子15が形成されている。この第2の情報記憶素子15の主要部は、上記ビット線13側より、第2の記憶層31、第2のトンネル絶縁層32、第2の磁化固定層33で構成されている。

【0067】上記第2の絶縁膜42上には、上記第2の情報記憶素子15の主要部を埋め込みかつ上記第2の情報記憶素子15の主要部上面を露出させた状態に第3の絶縁膜43が形成されている。この第3の絶縁膜43には、上記トランジスタ素子に接続する第2のコンタクト17が形成されている。

【0068】さらに上記第2の情報記憶素子15の主要部上には第2の導電体層34が接続されている。上記第2の導電体層34は下層より反強磁性体層とバリア層との積層構造を成している。

【0069】上記第3の絶縁膜43上には、上記第2の導電体層34を覆う第4の絶縁膜44が形成されている。さらに上記第4の絶縁膜44上には、上記第2の情報記憶素子15上方を通りかつ平面視的に上記ビット線13と交差するように、すなわち、上記第1の書き込みワード線11にはばそって配置されるように、第2の書き込みワード線12が形成されている。

【0070】また、上記第4の絶縁膜44には、上記第2の導電体層34に接続されるローカル配線用コンタクト61が形成されているとともに、上記第4の絶縁膜44より上記トランジスタ素子に接続する第2のコンタクト17が形成されている。さらに、第4の絶縁膜44上には、上記ローカル配線用コンタクト61と上記第2のコンタクト17とを接続するもので例えば第2の書き込みワード線12とはば平行に延長されたローカル配線62が形成されている。

【0071】また、上記ローカル配線62は、第2の書き込みワード線12と同時形成されても良く、または別形成されてもよい。また材質は第2の書き込みワード線12と同様な材質の導電性材料を用いることもでき、または別材質の導電性材料を用いることもできる。

【0072】上記図3によって説明した情報記憶装置1では、一本のビット線13を間にして形成されている第1、第2の情報記憶素子14、15の第1、第2の記憶層24、31の磁化方向を同方向に変える場合には、第1、第2の書き込みワード線11、12に対して同時に電流を逆方向に流すことによって、第1、第2の情報記憶素子14、15の部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、この場合には、電流値を少なくとも、第1、第2の記憶層24、31の磁化を行うことができ、そのため、低消費電力可変性を図ることができる。

【0073】次に、本発明の第1の情報記憶装置に係わるコンタクトの配置例を、図4のレイアウト図により説明する。

【0074】図4の(1)に示すコンタクトの配置例は、平面レイアウト上、第1の導電体層21を第1の書き込みワード線11の一方側にかつビット線13にそって延在させ、その延在させた部分に接続する第1のコンタクト16を第1の書き込みワード線11に接触しないように配置し、第2の導電体層34を第1の書き込みワード線11の一方側（第1の導電体層21と同方向側）にかつビット線13の一方側に延在させ、その延在させた部分に接続する第2のコンタクト17を第1の書き込みワード線11およびビット線13に接触しないように配置したものである。なお、第1の導電体層21が接続される第1の情報記憶素子14は第1書き込みワード線11とビット線13との交点において、また第2の導電体層34が接続される第2の情報記憶素子15はビット線13と第2の書き込みワード線（図示せず）の交点に

においてビット線13を挟んで対向する位置に配置されている。また、図示はしていないが、第2の書き込みワード線は第1の書き込みワード線11上方に形成される。

【0075】次いで、図4の(2)に示すコンタクトの配置例は、平面レイアウト上、第1の導電体層21と第2の導電体層34とを、第1の書き込みワード線11の一方側にかつビット線13を挟んで対称位置に延在させ、ビット線13の一方側に延在させた第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1の書き込みワード線11に接触しないように配置し、ビット線13の他方側に延在させた第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1の書き込みワード線11およびビット線13に接触しないようにその一方側に配置した例である。なお、第1の導電体層21が接続される第1の情報記憶素子14は第1書き込みワード線11とビット線13との交点において、また第2の導電体層34が接続される第2の情報記憶素子15はビット線13と第2の書き込みワード線（図示せず）の交点においてビット線13を挟んで対向する位置に配置されている。また、図示はしていないが、第2の書き込みワード線は第1の書き込みワード線11上方に形成される。

【0076】図4の(3)に示すコンタクトの配置例は、平面レイアウト上、第1の導電体層21と第2の導電体層34とを、ビット線13の一方側にかつ第1の書き込みワード線11を挟んで対称位置に延在させ、第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1の書き込みワード線11に接触しないように配置し、第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1の書き込みワード線11およびビット線13に接触しないようにその一方側に配置した例である。なお、第1の導電体層21が接続される第1の情報記憶素子14は第1書き込みワード線11とビット線13との交点において、また第2の導電体層34が接続される第2の情報記憶素子15はビット線13と第2の書き込みワード線（図示せず）の交点においてビット線13を挟んで対向する位置に配置されている。また、図示はしていないが、第2の書き込みワード線は第1の書き込みワード線11上方に形成される。

【0077】図4の(4)に示すコンタクトの配置例は、平面レイアウト上における第1の書き込みワード線11とビット線13との交点に対してはば対称に、第1の導電体層21と第2の導電体層34とを延在させ、一方側に延在させた第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1の書き込みワード線11に接触しないように配置し、他方側に延在させた第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1の書き込みワード線11およびビット線13に接触しないように配置した例である。な

お、第1の導電体層21が接続される第1の情報記憶素子14は第1書き込みワード線11とビット線13との交点において、また第2の導電体層34が接続される第2の情報記憶素子15はビット線13と第2の書き込みワード線（図示せず）の交点においてビット線13を挟んで対向する位置に配置されている。また、図示はしていないが、第2の書き込みワード線は第1の書き込みワード線11上方に形成される。

【0078】図4の（5）に示すコンタクトの配置例は、平面レイアウト上、第1の導電体層21を第1の書き込みワード線11に対して一方側でかつビット線13にそって延在させ、第2の導電体層34を、第1の書き込みワード線11に対して他方側でビット線13の一方側に延在させ、第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1の書き込みワード線11に接触しないように配置し、第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1の書き込みワード線11およびビット線13に接触しないように配置した例である。なお、第1の導電体層21が接続される第1の情報記憶素子14は第1書き込みワード線11とビット線13との交点において、また第2の導電体層34が接続される第2の情報記憶素子15はビット線13と第2の書き込みワード線（図示せず）の交点においてビット線13を挟んで対向する位置に配置されている。また、図示はしていないが、第2の書き込みワード線は第1の書き込みワード線11上方に形成される。

【0079】図4の（6）に示すコンタクトの配置例は、平面レイアウト上、第1、第2の書き込みワード線11、12が互いに重ならないように配置されている。したがって、第1の情報記憶素子14は第1の書き込みワード線11とビット線13とが交差する間に形成され、第2の情報記憶素子15は第2の書き込みワード線12とビット線13とが交差する間に形成されている。そして、第1の情報記憶素子14における第1の導電体層21を第1、第2の書き込みワード線11、12に対して一方側でかつビット線13にそって延在させ、第2の導電体層22をビット線13に対して一方側で第2の書き込みワード線12にそって延在させ、第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1の書き込みワード線11に接触しないように配置し、第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1の書き込みワード線11およびビット線13に接触しないように配置した例である。

【0080】なお、図4の（6）に示したように、平面レイアウト上、第1、第2の書き込みワード線11、12が互いに重ならないように配置されている。つまり、第1の情報記憶素子14は第1の書き込みワード線11とビット線13とが交差する間に形成され、第2の情報

記憶素子15は第1の書き込みワード線12とビット線13とが交差する間に形成されている。このような構成では、第1のコンタクト16については、図4の（1）～（5）に示した位置を取り、第2のコンタクト17については、図4の（6）に示した位置を取ることが可能である。

【0081】上記第1、第2のコンタクト16、17の形成位置に関しては、一例であって、第1のコンタクト16は第1の書き込みワード線11に接触しない位置であればどのような位置にも形成することができる。また、第2のコンタクト17は、ビット線13、第1の情報記憶素子14、第1の導電体層21、第1の書き込みワード線11等に接触しない位置であればどのような位置にも形成することができる。

【0082】次に、本発明の第1の情報記憶装置の製造方法に係わる実施の形態を、図5および図6の製造工程図によって説明する。なお、下地絶縁膜、第1～第5の絶縁膜は2点鎖線で示した。

【0083】図5の（1）に示すように、半導体基板（図示せず）にはトランジスタ素子（図示せず）が形成され、それを覆う下地絶縁膜51が形成されている。この下地絶縁膜51上に第1の書き込みワード線を形成するための膜を形成した後、リソグラフィ技術、エッチング技術等を用いてその膜を第1の書き込みワード線11に加工する。その後、第1の書き込みワード線11を被覆する第1の絶縁膜41を形成した後、その第1の絶縁膜41表面を平坦化する。この平坦化は、例えば化学的機械研磨もしくはエッチバック等により行う。

【0084】なお、図示はしないが、上記第1の書き込みワード線11は、溝配線技術を用いて溝配線構造に形成することも可能である。すなわち、下地絶縁膜51上に第1の絶縁膜41を形成する。この第1の絶縁膜表面は平坦化しておく。次いで、リソグラフィ技術、エッチング技術等を用いてその第1の絶縁膜41に第1の書き込みワード線を形成するための溝を形成する。そして、その溝内に第1の書き込みワード線の材料層を埋め込んだ後、上記第1の絶縁膜41上の余剰な材料層を例えば化学的機械研磨により除去することにより、第1の書き込みワード線11を溝配線構造に形成する。その後、第1の絶縁膜41に第1の書き込みワード線11を被覆する絶縁膜を形成する。

【0085】次いで、上記第1の絶縁膜41に第1の情報記憶素子の一方における端子となる第1のコンタクト16を形成する。第1のコンタクト16の形成方法としては、リソグラフィ技術とエッチバック技術とによって、第1の絶縁膜41より下層の上記トランジスタ素子（図示せず）に向かって接続孔を形成した後、上記接続孔内に必要に応じてバリア層を形成し、その後導電体を埋め込み、プラグを形成することによる。上記導電体やバリア層が第1の絶縁膜41上にも形成された場合に

は、第1の絶縁膜41上の余剰な導電体やバリア層を除去する。

【0086】次いで、化学的気相成長（以下CVDという、CVDはChemical Vapor Depositionの略）法、物理的気相成長（以下PVDという、PVDはPhysical Vapor Depositionの略）法等の成膜技術を用いて、上記第1の絶縁膜41上に第1の導電体層21を形成する。第1の導電体層21は、下層よりバリア層と反強磁性体層とで形成する。バリア層は、例えば窒化チタン、タンタル、窒化タンタル等の材料で形成し、反強磁性体層は、例えば白金マンガン（PtMn）、鉄マンガン（FeMn）等の反強磁性材料で形成する。その後、リソグラフィー技術とエッチング技術とを用いて、上記第1の書き込み用ワード線11の上方における上記第1の絶縁膜41上より上記第1のコンタクト16の一端に接続する状態に第1の導電体層21を加工する。なお、この第1の導電体層21は上記第1の書き込みワード線11と第1の絶縁膜41により電気的に絶縁されている。

【0087】次に、図5の（2）に示すように、CVD法、PVD法等の成膜技術により、上記第1の導電体層21上および上記第1の絶縁膜41上に、第1の磁化固定層22を例えばコバルト鉄（CoFe）もしくはコバルト（Co）もしくは鉄（Fe）で成膜する。次いで第1のトンネル絶縁層23を例えば酸化アルミニウムで成膜する。さらに第1の記憶層24を例えばコバルト鉄（CoFe）で成膜して積層膜を形成する。その後、リソグラフィー技術とエッチング技術とを用いて、上記積層膜を加工して第1の情報記憶素子14を形成する。

【0088】上記成膜例では第1の磁化固定層22、第1のトンネル絶縁層23、第1の記憶層24を単層膜で形成したが、第1の磁化固定層22、第1のトンネル絶縁層23、第1の記憶層24を複数の膜を積層した積層膜で形成することも可能である。

【0089】次いで、CVD法によって、上記第1の絶縁膜41上に第1の情報記憶素子14および第1の導電体層21を覆う第2の絶縁膜の下層42aを形成する。その後、例えば化学的機械研磨によって、上記第2の絶縁膜の下層42a表面を平坦化する。この平坦化では、上記第1の情報記憶素子14における第1の記憶層24表面が露出するように平坦化してもよく、上記第1の記憶層24上に第2の絶縁膜の下層42aが残るように平坦化を行ってもよい。

【0090】また、第1の磁化固定層22と第1の導電体層21の反強磁性体層との組み合わせは、第1の記憶層24の磁化容易軸に平行となるように、耐ブロッキング温度（150℃～300℃、通常は250℃）よりも高い温度まで加熱中に強力な磁場をかけることで形成することもできる。もしくは、反強磁性体層に相当する部位を結晶学的組成に誘導する方法により形成し、第1の磁化固定層22の磁化方向を固定することもできる。

【0091】次に、図5の（3）に示すように、溝配線技術を用いてビット線13を形成する。以下、その詳細を説明する。第2の絶縁膜の下層42a上に第2の絶縁膜の上層42bを形成し、第2の絶縁膜42を構成する。この第2の絶縁膜の上層42b表面は平坦化しておく。次いで、リソグラフィー技術、エッチング技術等を用いて、第2の絶縁膜42に、上記第1の書き込み用ワード線11に平面視的に交差しかつ上記第1の磁気記憶素子14上部が底部に露出するようにビット線を形成するための溝を形成する。次いで、その溝内にビット線13の材料層を埋め込んだ後、上記第2の絶縁膜42上の余剰な材料層を例えば化学的機械研磨により除去することにより、上記第1の書き込み用ワード線11に平面視的に交差するもので上記第1の磁気記憶素子14上部に接続する溝配線構造のビット線13を形成する。

【0092】もしくは、図示はしないが、第2の絶縁膜の上層42a上にビット線を形成するための膜を形成した後、リソグラフィー技術、エッチング技術等を用いてその膜をビット線13に加工する。その後、ビット線13を被覆する第2の絶縁膜の上層42bを形成して、第2の絶縁膜42を構成した後、ビット線13の表面が露出するように第2の絶縁膜42表面を平坦化する。この平坦化は、例えば化学的機械研磨もしくはエッチバック等により行う。

【0093】次に、図5の（4）に示すように、CVD法もしくはPVD法により、上記ビット線13上および上記第2の絶縁膜42上に、第2の記憶層31を例えばコバルト鉄（CoFe）で成膜する。次いで第2のトンネル絶縁層32を例えば酸化アルミニウムで成膜する。さらに第2の磁化固定層33を例えばコバルト鉄（CoFe）もしくはコバルト（Co）もしくは鉄（Fe）で成膜して積層膜を形成する。その後、リソグラフィー技術とエッチング技術とを用いて、上記積層膜を加工して第2の情報記憶素子15を形成する。

【0094】上記成膜例では、第2の磁化固定層31、第2のトンネル絶縁層32、第2の記憶層33は単層膜で形成したが、第2の磁化固定層31、第2のトンネル絶縁層32、第2の記憶層33を複数の膜を積層した積層膜で形成することも可能である。

【0095】次いで、CVD法によって、上記第2の絶縁膜42上に第2の情報記憶素子15を覆う第3の絶縁膜43を形成する。その後、例えば化学的機械研磨によって、上記第2の情報記憶素子15の磁化固定層33表面が露出するように第3の絶縁膜43の表面を平坦化する。

【0096】次いで、図5の（5）に示すように、上記第3の絶縁膜42より下層に第2の情報記憶素子15の一方における端子となる第2のコンタクト17を形成する。第2のコンタクト17の形成方法としては、リソグラフィー技術とエッチバック技術とによって、第3の絶

縁膜43より下層の上記トランジスタ素子（図示せず）に向かって接続孔を形成した後、上記接続孔内に必要に応じてバリア層を形成し、その後導電体を埋め込み、プラグを形成することによる。上記導電体やバリア層が第3の絶縁膜43上にも形成された場合には、第3の絶縁膜43上の余剰な導電体やバリア層を例えば化学的機械研磨によって除去する。

【0097】次いで、図5の（6）に示すように、CVD法、PVD法等の成膜技術を用いて、上記第3の絶縁膜43上に第2の導電体層34を形成する。第2の導電体層34は、下層より反強磁性体層とバリア層とで形成する。反強磁性体層は、例えば白金マンガン（PtMn）、鉄マンガン（FeMn）等の反強磁性材料で形成し、バリア層は、例えば窒化チタン、タンタル、窒化タンタル等の材料で形成する。その後、リソグラフィー技術とエッチング技術とを用いて、上記第2の情報記憶装置15上より上記第2のコンタクト17の一端に接続する状態に第2の導電体層34を加工する。

【0098】次いで、図6の（7）に示すように、CVD法によって、上記第3の絶縁膜43上に第2の導電体層34を覆う第4の絶縁膜44を形成する。その後、例えば化学的機械研磨によって、第4の絶縁膜44表面を平坦化する。その際、第2の導電体層34上には第4の絶縁膜44を所定の膜厚だけ残しておく。

【0099】次いで、図6の（8）に示すように、第4の絶縁膜44上に第2の書き込みワード線を形成するための膜を形成する。その後、リソグラフィー技術、エッチング技術等により上記膜を加工して、第4の絶縁膜44上に、第2の磁気記憶素子15の上方を通るもので上記第1の書き込み用ワード線11に沿った第2の書き込みワード線12を形成する。すなわち、第2の書き込みワード線12はビット線13に対して平面視的に交差するように形成される。その後、第2の書き込みワード線12を被覆する第5の絶縁膜45を形成した後、その第5の絶縁膜45表面を平坦化する。この平坦化は、例えば化学的機械研磨もしくはエッチバック等により行う。

【0100】上記第2の書き込みワード線12の形成は、前記第1の書き込みワード線11の形成方法で説明したように、溝配線技術を用いて形成することも可能である。

【0101】上記第1の情報記憶装置1の製造方法では、ビット線13を挟んで第1の情報記憶素子14と第2の情報記憶素子15とを形成することから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍の情報記憶装置を形成することが可能になる。このため、情報の記憶量が向上される。また単位ビット当たりの製造コストが低減される。

【0102】次に、本発明の第1の情報記憶装置の製造方法に係る第2の実施の形態を、図7の概略構成断面図によって説明する。なお、下地絶縁膜、第1～第4の絶

縁膜は2点鎖線で示した。

【0103】前記説明した前記図5の（1）～（4）の工程を行った後、図7の（1）に示すように、上記第3の絶縁膜43上に第2の導電体層34を、前記5の（6）によって説明したのと同様に、反強磁性体層とバリア層とで形成する。この反強磁性体層は、例えば白金マンガン（PtMn）もしくは鉄マンガン（FeMn）で形成する。その後、リソグラフィー技術とエッチング技術とを用いて、第2の導電体層34を加工する。この第2の導電体層34は第2の情報記憶素子15の磁化固定層33上面に接続し、かつ例えばビット線13と平行な方向に延長するように形成される。

【0104】次いで、図7の（2）に示すように、化学的気相成長法によって、上記第3の絶縁膜43上に第2の導電体層34を覆う第4の絶縁膜44を形成する。その後、例えば化学的機械研磨によって、第4の絶縁膜44表面を平坦化する。その際、第2の導電体層34上には第4の絶縁膜44を所定の膜厚だけ残しておく。

【0105】その後、図7の（3）に示すように、上記第4の絶縁膜44より前記トランジスタ素子（図示せず）に接続される接続孔を形成するとともに、上記第4の絶縁膜44に第2の導電体層34に達する接続孔を形成する。各接続孔の形成は、リソグラフィー技術とエッチング技術とを用いて行う。その後、各接続孔内に導電体を埋め込み、前記トランジスタ素子（図示せず）に接続する第2のコンタクト17、第2の導電体層34に接続するコンタクト61を形成する。上記導電体が第4の絶縁膜44上にも形成された場合には、第4の絶縁膜44上の余剰な導電体を除去する。次いで、一般的に知られている配線形成技術を用いて、第4の絶縁膜44上に前記第1の書き込みワード線11の上方に沿って第2の書き込みワード線12を形成するとともに上記コンタクト17、61に接続するローカル配線62を上記第2の書き込みワード線12に並行に形成する。

【0106】なお、上記第2の書き込みワード線12、ローカル配線63は溝配線構造としてもよい。その場合には、第4の絶縁膜44を第2の導電体層34上に溝配線を形成することができるよう厚く形成し、その後、トランジスタ素子（図示せず）に接続される接続孔を形成するとともに、上記第4の絶縁膜44に第2の導電体層34に達する接続孔を形成する。その後、第4の絶縁膜44に上記第2の磁気記憶素子15上を通過かつ上記第1の書き込みワード線11に沿うように、第2の書き込みワード線を形成するための溝を形成する。それとともに、第4の絶縁膜44に、上記接続孔間を接続するためのローカル配線を埋め込む溝を形成する。

【0107】次いで、一般的に知られている溝配線技術を用いて、接続孔内および溝内を導電体膜で埋め込む。その後、第4の絶縁膜44上の余剰な導電体膜を除去して、溝に第2の書き込みワード線12を形成し、溝にロ

ーカル配線 63 を形成するとともに、接続孔内にプラグ 61、62 を形成する。

【0108】上記第2の実施の形態において、上記第1、第2のコンタクト16、17の形成位置に関しては、一例であって、第1のコンタクト16は第1の書き込みワード線11に接触しない位置であればどのような位置にも形成することができる。また、第2のコンタクト17は、ビット線13、第1の情報記憶素子14、第1の導電体層21、第1の書き込みワード線11等に接

触しない位置であり、第2の導電体層34とローカル配線63で接続することができる位置であればどのような位置にも形成することができる。

【0109】次に、本発明の第1の情報記憶装置に係る第3の実施の形態を、図8の概略構成断面図によって説明する。なお、下地絶縁膜、第1～第4の絶縁膜、層間絶縁膜は2点鎖線で示した。

【0110】図8に示すように、前記図2によって説明したのと同様に、半導体基板（図示せず）にはトランジスタ素子（図示せず）が形成され、それを覆う下地絶縁膜51が形成されている。この下地絶縁膜51上には第1の書き込みワード線11が形成されている。上記下地絶縁膜51上には上記第1の書き込みワード線11を覆う第1の絶縁膜41が形成されている。この第1の絶縁膜41および下地絶縁膜51には、第1の絶縁膜41より上記トランジスタ素子（図示せず）に接続する第1のコンタクト16が上記第1の書き込みワード線11に接触しないように形成されている。

【0111】上記第1の絶縁膜41上には、上記第1の書き込みワード線11より上記第1のコンタクト16に接続する状態に第1の反強磁性体層を含む第1の導電体層21が形成されている。上記第1の導電体層21は、上記説明したのと同様に、バリア層と反強磁性体層との積層構造を成している。

【0112】さらに第1の情報記憶素子14は、上記第1の書き込みワード線11の上方における上記第1の導電体層21上に、第1の書き込みワード線11側より、第1の磁化固定層22、第1のトンネル絶縁層23、第1の記憶層24の順で積層された積層体で構成されている。

【0113】上記第1の絶縁膜41上には、第1の情報記憶素子14の上面が露出するように、この第1の情報記憶素子14を埋め込む第2の絶縁膜42が形成されている。

【0114】上記第2の絶縁膜42上には、上記第1の情報記憶素子14に接続するビット線13が形成されている。さらにこのビット線13を覆うように層間絶縁膜71が形成されている。上記層間絶縁膜71には上記第1の情報記憶素子14に達する接続孔72が形成されている。なお、図示はしないが、上記ビット線13は、上記第1の情報記憶素子14上に溝配線を形成することが

できる厚さを残すように第2の絶縁膜42を形成して、この第2の絶縁膜に溝配線構造で形成されたものであってもよい。

【0115】上記第1の情報記憶素子14の情報における層間絶縁膜71上には、接続孔72を通じてビット線13に接続する第2の情報記憶素子15が形成されている。この第2の情報記憶素子15の主要部は、上記ビット線13側より、第2の記憶層31、第2のトンネル絶縁層32、第2の磁化固定層33で構成されている。

【0116】上記第2の絶縁膜42上には、上記第2の情報記憶素子15の主要部を埋め込みかつ上記第2の情報記憶素子15の主要部上面を露出させた状態に第3の絶縁膜43が形成されている。この第3の絶縁膜43より上記トランジスタ素子（図示せず）に接続する第2のコンタクト17が形成されている。

【0117】さらに上記第2の情報記憶素子15の主要部上には第2の導電体層34が接続され、この第2の導電体層34は上記第3の絶縁膜43上を延長され上記第2のコンタクト17に接続されている。上記第2の導電体層34は下層より反強磁性体層とバリア層との積層構造を成している。

【0118】上記第3の絶縁膜43上には、上記第2の導電体層34を覆う第4の絶縁膜44が形成されている。さらに上記第2の情報記憶素子15上方を通るように、上記第4の絶縁膜44上には、上記ビット線13と交差するように、すなわち、上記第1の書き込みワード線11にはぼそって配置されるように、第2の書き込みワード線12が形成されている。

【0119】上記図8によって説明した構造の製造方法は、前記図5の（3）で説明した製造方法において、第2の絶縁膜の下層42a上に第2の絶縁膜の上層42bを形成した後、溝配線技術を用いて第2の絶縁膜の上層42bにビット線13を形成する。その後、ビット線を覆う層間絶縁膜71（図8参照）を形成した後、この層間絶縁膜71にビット線13に通じる接続孔72（図8参照）を形成する。

【0120】次いで、CVD法もしくはPVD法により、上記層間絶縁膜71上に、前記図5の（4）によって説明したのと同様に第2の情報記憶素子15を形成する工程を行う。その際、第2の記憶層31を成膜する際に、接続孔72内にも第2の記憶層31を形成することにより、コンタクト73を形成する。

【0121】もしくは、図示はしないが、第2の絶縁膜42上にビット線を形成するための膜を形成した後、リソグラフィ技術、エッチング技術等を用いてその膜を加工してビット線13を形成する。その後、ビット線13を被覆する層間絶縁膜71を形成した後、ビット線13上に所定の膜厚が残るようにして層間絶縁膜71表面を平坦化する。この平坦化は、例えば化学的機械研磨もしくはエッチバック等により行う。その後、上記説明し

たのと同様にして、この層間絶縁膜 7 1 にビット線 1 3 に通じる接続孔 7 2 を形成する以降の工程を行えばよい。

【0122】次に、本発明の第 1 の情報記憶装置に係る第 4 の実施の形態を、図 9 の概略構成断面図によって説明する。なお、下地絶縁膜、第 1 ～第 4 の絶縁膜、第 1、第 2 の層間絶縁膜は 2 点鎖線で示した。

【0123】図 9 に示すように、前記図 2 によって説明したのと同様に、半導体基板（図示せず）にはトランジスタ素子（図示せず）が形成され、それを覆う下地絶縁膜 5 1 が形成されている。この下地絶縁膜 5 1 上には第 1 の書き込みワード線 1 1 が形成されている。上記下地絶縁膜 5 1 上には上記第 1 の書き込みワード線 1 1 を覆う第 1 の絶縁膜 4 1 が形成されている。この第 1 の絶縁膜 4 1 および下地絶縁膜 5 1 には、第 1 の絶縁膜 4 1 より上記トランジスタ素子（図示せず）に接続する第 1 のコンタクト 1 6 が形成されている。

【0124】上記第 1 の絶縁膜 4 1 上には、上記第 1 の書き込みワード線 1 1 上より上記第 1 のコンタクト 1 6 に接続する状態に第 1 の反強磁性体層を含む第 1 の導電体層 2 1 が形成されている。例えば、上記第 1 の導電体層 2 1 は、上記説明したのと同様に、バリア層と反強磁性体層との積層構造を成している。

【0125】さらに第 1 の情報記憶素子 1 4 は、上記第 1 の書き込みワード線 1 1 の上方における上記第 1 の導電体層 2 1 上に、第 1 の書き込みワード線 1 1 側より、第 1 の磁化固定層 2 2、第 1 のトンネル絶縁層 2 3、第 1 の記憶層 2 4 の順で積層された積層体で構成されている。また、上記第 1 の導電体層 2 1 には上記トランジスタ素子に接続される第 1 のコンタクト 1 6 が接続されて

いる。

【0126】上記第 1 の絶縁膜 4 1 上には、第 1 の情報記憶素子 1 4 の上面が露出するように、この第 1 の情報記憶素子 1 4 を埋め込む第 2 の絶縁膜 4 2 が形成されている。さらに上記第 2 の絶縁膜 4 2 上には上記第 1 の情報記憶素子 1 4 を覆う第 1 の層間絶縁膜 8 1 が形成されている。なお、第 2 の絶縁膜 4 2 を上記第 1 の情報記憶素子 1 4 を覆うように形成し、第 1 の情報記憶素子 1 4 上に第 2 の絶縁膜 4 2 を残すようにして、第 2 の絶縁膜 4 2 表面を平坦化してもよい。

【0127】上記第 1 の層間絶縁膜 8 1 には情報記憶素子第 1 の情報記憶素子 1 4 に達する接続孔 8 2 が形成されている。なお、上記第 2 の絶縁膜 4 2 で第 1 の情報記憶素子 1 4 が覆われている構成では、第 2 の絶縁膜 4 2 に第 1 の情報記憶素子 1 4 に達する接続孔 8 2 が形成される。

【0128】上記第 1 の層間絶縁膜 8 1（第 2 の絶縁膜 4 2 に接続孔 8 2 が形成された場合には第 2 の絶縁膜 4 2）には、上記第 1 の情報記憶素子 1 4 に接続するビット線 1 3 が形成されている。さらにこのビット線 1 3 を

覆うように第 2 の層間絶縁膜 8 3 が形成されている。上記第 2 の層間絶縁膜 8 3 には上記第 1 の情報記憶素子 1 4 に達する接続孔 8 4 が形成されている。

【0129】図示はしないが、上記ビット線 1 3 が溝配線構造を成す場合には、上記第 1 の層間絶縁膜 8 1 上にさらに層間絶縁膜が形成されていて、この層間絶縁膜に平面視的に第 1 の書き込みワード線 1 1 と交差（例えば直交）するように配線溝が形成されている。そしてこの配線溝内にビット線 1 3 が形成されている構成を採る。または、第 1 の層間絶縁膜 8 1 は溝配線が形成できる厚さに成膜され、その第 1 の層間絶縁膜 8 1 に第 1 の情報記憶素子 1 4 に達する接続孔 8 2 と、平面視的に第 1 の書き込みワード線 1 1 と交差（例えば直交）する配線溝とが形成されていて、この配線溝にビット線 1 3 が形成されている構成を採る。

【0130】上記第 1 の情報記憶素子 1 4 の上方における第 2 の層間絶縁膜 8 3 上には、接続孔 8 4 を通じてビット線 1 3 に接続する第 2 の情報記憶素子 1 5 が形成されている。この第 2 の情報記憶素子 1 5 の主要部は、上記ビット線 1 3 側より、第 2 の記憶層 3 1、第 2 のトンネル絶縁層 3 2、第 2 の磁化固定層 3 3 で構成されている。

【0131】上記第 2 の絶縁膜 4 2 上には、上記第 2 の情報記憶素子 1 5 の主要部を埋め込みかつ上記第 2 の情報記憶素子 1 5 の主要部上面を露出させた状態に第 3 の絶縁膜 4 3 が形成されている。この第 3 の絶縁膜 4 3 より上記トランジスタ素子に接続する第 2 のコンタクト 1 7 が形成されている。

【0132】さらに上記第 2 の情報記憶素子 1 5 の主要部上には第 2 の導電体層 3 4 が接続され、この第 2 の導電体層 3 4 は上記第 3 の絶縁膜 4 3 上を延長され上記第 2 のコンタクト 1 7 に接続されている。上記第 2 の導電体層 3 4 は下層より反強磁性体層とバリア層との積層構造を成している。

【0133】上記第 3 の絶縁膜 4 3 上には、上記第 2 の導電体層 3 4 を覆う第 4 の絶縁膜 4 4 が形成されている。さらに上記第 2 の情報記憶素子 1 5 上方を通るように、上記第 4 の絶縁膜 4 4 上には、上記ビット線 1 3 と交差するように、すなわち、上記第 1 の書き込みワード線 1 1 にほぼそって配置されるように、第 2 の書き込みワード線 1 2 が形成されている。

【0134】上記図 9 によって説明した構造の製造方法は、前記図 5 の（2）で説明した製造方法において、第 2 の絶縁膜 4 2 を形成し、この表面を平坦化した後、第 1 の層間絶縁膜 8 1 を形成する。その後、リソグラフィ技術とエッチング技術とを用いて、第 1 の層間絶縁膜 8 1 より第 1 の情報記憶素子 1 4 に達する接続孔 8 2 を形成する。

【0135】もしくは、第 1 の層間絶縁膜 8 1 を形成しない場合には、第 2 の絶縁膜 4 2 表面を平坦化する際

に、第1の情報記憶装置14上に所定の厚さだけ残すように表面の平坦化を行う。その後、リソグラフィー技術とエッチング技術とを用いて、この第2の絶縁膜42に第1の情報記憶装置14上面に通じる接続孔82を形成する。

【0136】次いで、第2の絶縁膜42上にビット線を形成するための膜を形成した後、リソグラフィー技術、エッチング技術等を用いてその膜をビット線13に加工する。このビット線13の形成方法は、前記図5の

(3)によって説明した方法を用いることが可能である。例えば、第2の絶縁膜42を下層42aと上層42bの2層に形成する場合には、上記第1の層間絶縁膜81は第2の絶縁膜の下層42a上に形成され、ビット線13は第1の層間絶縁膜81上に形成された第2の絶縁膜の上層42bに例えば溝配線構造で形成される。そして第2の層間絶縁膜83は上記ビット線13を覆うように形成される。この第2の層間絶縁膜83の形成方法は、前記図8によって説明した層間絶縁膜71の形成方法と同様に行うことができる。

【0137】次いで、通常のリソグラフィー技術とエッチング技術によって、上記第2の層間絶縁膜83における第1の情報記憶素子14に対向する位置に接続孔84を形成する。さらに、CVD法、PVD法等の成膜技術によって、第2の層間絶縁膜上に接続孔84内を埋め込む第2の記憶層31を形成する。続いて、第2のトンネル絶縁層32、第2の磁化固定層33を形成する。その後、前記図5の(4)によって説明したと同様の工程を行えばよい。

【0138】次に、本発明の第2の情報記憶装置に係る第1の実施の形態を、図10の情報記憶装置の要部を示す部分断面斜視図によって説明する。

【0139】図10に示すように、第1のビット線91(911、912、913)は例えば同一平面に並列に配置されている。各第1のビット線911、912、913上には、各第1のビット線911、912、913と所定の間隔を置いて対応する第2のビット線92(921、922、923)が同一平面にかつ並列に配置されている。

【0140】各第1のビット線911、912、913とそれに対向する第2のビット線921、922、923との間には、書き込みワード線93(931、932、933)が例えば同一平面にかつ上記第1のビット線911、912、913(第2のビット線921、922、923)に交差するように並列に配置されている。ここでは、各書き込みワード線93は第1、第2の各第1、第2のビット線91、92と直交するように配置されている。

【0141】さらに上記各第1のビット線91と上記各書き込みワード線93とが交差するそれぞれの位置には第1の情報記憶素子14(141~149)が配置され

ている。なお、第1の情報記憶素子145、146、148、149は他の構成部品の陰になっているため、図示はされていない。また、上記各第2のビット線92と上記各書き込みワード線93とが交差するそれぞれの位置には第2の情報記憶素子15(151~159)が配置されている。すなわち、各第1、第2の情報記憶素子14、15は各第1のビット線91、92と各書き込みワード線93とが交差する各位置でワード線93を挟んで対向する位置に配置されている。

【0142】上記各第1の情報記憶素子14は、例えば、磁気トンネル接合素子(MTJ素子:MTJはMagnetic Tunnel Junctionの略)もしくはトンネル磁気抵抗素子(TMR素子:TMRはTunnel Magnetic Resistanceの略)で構成されている。一例として、第1のビット線91側より、第1の記憶層24、第1のトンネル絶縁層23、第1の磁化固体層22、第1の反強磁性体層を含む導電体層21を積層した構造からなり、上記第1の導電体層21は、例えば、上記書き込みワード線93側により、第1のバリア層と第1の反強磁性体層とを積層して形成されている。また書き込みワード線93と上記第1の導電体層21との間には第1の絶縁層(図示せず)が形成されている。また、上記各第1の導電体層21は、上記トランジスタ(図示せず)に接続する第1のコンタクト16が接続されている。

【0143】上記各第2の情報記憶素子15は、例えば、MTJ素子もしくはTMR素子で構成されている。一例として、書き込みワード線93側より、第2の導電体層34、第2の磁化固体層33、第2のトンネル絶縁層32、第2の記憶層31を含む第2の導電体層34を積層した構造からなり、上記第2の導電体層34は、例えば、上記書き込みワード線93側により、第1のバリア層と第2の反強磁性体層とを積層して形成されている。また書き込みワード線93と上記第2の導電体層34との間には第4の絶縁層(図示せず)が形成されている。また、上記各第2の導電体層34は、上記トランジスタ(図示せず)に接続する第2のコンタクト17が接続されている。

【0144】上記各第1の情報記憶素子14は、その書き込み時には、例えば、選択される第1の情報記憶素子14に対応するビット線93、第1のビット線91を選択して電流を流し、磁界を発生させ、第1の情報記憶素子14内における第1の記憶層24(強磁性体層)に磁界の方向を記憶する。

【0145】また上記第2の情報記憶素子15は、その書き込み時には、例えば、選択される第2の情報記憶素子15に対応する第2のビット線92、書き込みワード線93を選択して電流を流し、磁界を発生させ、第2の情報記憶素子15内における第2の記憶層31(強磁性体層)に磁界の方向を記憶する。

【0146】一方、読み出し時には、例えば、選択され

る第1の情報記憶素子14の情報を読み出す場合に、第1の情報記憶素子14に対応する第1のビット線91と第1のコンタクト16との間に電圧をかけ、流れるセンス電流を検知し、記憶情報を取り出す。

【0147】また、例えば、選択される第2の情報記憶素子15の情報を読み出す場合に、第2の情報記憶素子15に対応する第2のビット線92と第2のコンタクト17との間に電圧をかけ、流れるセンス電流を検知し、記憶情報を取り出す。

【0148】第1、第2の情報記憶素子14、15は、10 デジタルの0、1を書き込むことによりその抵抗値が変化することを利用している。

【0149】次に、上記図10によって説明した情報記憶装置の書き込みワード線93を挟む一つの情報記憶素子対に着目し、情報記憶装置の詳細を、図11の概略構成断面図によって説明する。なお、下地絶縁膜、第1～第5の絶縁膜は2点鎖線で示した。

【0150】図11に示すように、半導体基板（図示せず）にはトランジスタ素子（図示せず）が形成され、それを覆う下地絶縁膜51が形成されている。この下地絶縁膜51上には第1のビット線91が形成されている。20 上記第1のビット線91は、例えばアルミニウム、アルミニウム合金、銅、銅合金等の一般的な半導体装置の配線材料で形成されている。もしくは、イリジウム、オスミウム、クロム、ジルコニウム、タングステン、タンタル、チタントリウム、バナジウム、モリブデン、ロジウム、ニッケルおよびルテニウムのうちの少なくとも1種で形成されている、もしくはこれらの材料のうちの複数種からなる合金で形成されている。上記下地絶縁膜51上には上記第1のビット線91を覆う第1の絶縁膜141が、例えば酸化シリコンもしくは酸化アルミニウムで形成されている。この第1の絶縁膜141は表面が平坦化され、第1のビット線91の上面が露出されている。

【0151】上記第1のビット線91上における所定の位置には、第1の情報記憶素子14が形成されている。この第1の情報記憶素子14の主要部は、上記第1のビット線91側より、第1の記憶層24、第1のトンネル絶縁層23、第1の磁化固定層22で構成されている。

【0152】上記第1の絶縁膜141上には、上記第1の情報記憶素子14を覆う第2の絶縁膜142が形成されている。この第2の絶縁膜142の表面は平坦化され、上記第1の情報記憶素子14の上面が露出されている。

【0153】上記第2の絶縁膜141より上記トランジスタ素子に接続する第1のコンタクト16が、上記第1のビット線91に接触しないように形成されている。この第1のコンタクト16は、例えば窒化チタン膜とチタン膜とからなるバリア層を介してタングステンで形成されている。タングステンの代わりに、上記第1のビット線91と同様の材料を用いることも可能である。

【0154】上記第2の絶縁膜142上には、上記第1の情報記憶素子14より上記第1のコンタクト16に接続する状態に第1の反強磁性体層を含む第1の導電体層21が形成されている。上記第1の導電体層21は、上記説明したのと同様に、反強磁性体層とバリア層との積層構造を成している。

【0155】上記第2の絶縁膜142上には、上記第1の導電体層21を覆う第3の絶縁膜143が形成され、その表面は平坦化されている。さらに第3の絶縁膜143上には第4の絶縁膜の下層144aが形成されている。20 上記第4の絶縁膜の下層144aには例えば溝配線構造の書き込みワード線93が形成されている。上記第4の絶縁膜の下層144a上には上記書き込みワード線93を覆う第4の絶縁膜の上層144bが形成されている。

【0156】なお、上記書き込みワード線93が溝配線構造ではなく通常の配線構造に形成される場合には、図示はしないが、上記第3の絶縁膜143上に書き込みワード線93を形成した後、この書き込みワード線93を覆う第4の絶縁膜144を形成し、その後第4の絶縁膜144表面を例えば化学的機械研磨によって平坦化すればよい。この場合、書き込みワード線144上に第4の絶縁膜144が所定の膜厚だけ残るように研磨を行う。

【0157】上記第4の絶縁膜144より下層には、上記トランジスタ素子に接続する第2のコンタクト17が形成されている。この第2のコンタクト17は、書き込みワード線93、第1のビット線91、第1の導電体層21、第1のコンタクト16等に接触しないように等に接触しないように形成されている。

【0158】さらに上記第4の絶縁膜144上には、上記第1の情報記憶素子14の上方における上記第4の絶縁膜144上より上記第2のコンタクト17に接続する第2の導電体層34が形成されている。上記第2の導電体層34は下層よりバリア層と反強磁性体層との積層構造を成している。さらに上記第2の導電体層34上には、上記書き込みワード線93を挟んで上記第1の情報記憶素子14と対向するように、第2の情報記憶素子15が形成されている。上記第2の情報記憶素子15の主要部は、上記書き込みワード線93側より、第2の磁化固定層33、第2のトンネル絶縁層32、第2の記憶層31の順に積層された積層体で構成されている。

【0159】上記第4の絶縁膜144上には、上記第2の情報記憶素子15および第2の導電体層34を覆う第5の絶縁膜145が形成されている。この第5の絶縁膜145の表面は平坦化されており、その表面には上記第2の情報記憶素子15の上面が露出されている。

【0160】上記第5の絶縁膜145上には、上記第2の情報記憶素子15上を通りかつ上記書き込みワード線93と交差するように、すなわち、上記第1のビット線91にほぼ沿って配置されるように、第2のビット線9

2が形成されている。

【0161】上記第1、第2のビット線91、92、書き込みワード線93、上記第1、第2の情報記憶素子14、15、第1、第2の導電体層21、34等は、前記図1、図2によって説明したのと同様の材料を用いることが可能である。

【0162】上記第2の情報記憶装置2では、書き込みワード線93を間にして第1の情報記憶素子14と第2の情報記憶素子15とが設けられていることから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍になる。このため、情報の記憶量が向上される。また第1、第2のビット線91、92に接続される第1、第2の情報記憶素子14、15の磁化方向を同方向に変える場合には、第1、第2のビット線91、92に同時に逆方向に電流を流すことによって、第1、第2の情報記憶素子14、15の部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、この場合には、電流値を少なくしても、第1、第2の記憶層24、31の磁化を行うことができ、そのため、電流値を少なくすることが可能になり、低消費電力化が可能となる。【0163】次に、抵抗値の変化の原理について、前記図11によって説明する。上記磁化容易軸に沿った、可変性強磁性層の磁化方向として2通りの方向が可能であり、これが上記第1、第2の情報記憶素子14、15の2通りの状態を定義する。この方向はある一つの方向およびその方向より180°反転した方向の2通りとなる。

【0164】一方、第1、第2の磁化固定層22、33は、単一方向異方性方向という好ましい磁化方向を一つだけ有するように形成することができる。この方向は、第1、第2の磁化固定層22、33の磁化容易軸に平行になるように、耐ブロッキング温度より高い温度（例えば150℃～300℃、通常は250℃程度である）まで加熱中に強力な磁場をかける、もしくは、結晶学的組成を誘導することにより固定する。

【0165】一般的には、第1、第2の磁化固定層22、33および第1、第2の記憶層24、31の磁化軸の方向は、これらを構成する機構の長辺方向に設定する。例えば、図2に示すような構成では、図面に対して水平方向（矢印A方向）に磁化軸を設定する場合には、第1、第2の情報記憶素子14、15は横長の構造とする。

【0166】第1、第2の情報記憶素子14、15に書き込みを行う場合には、第1、第2のビット線91、92および書き込みワード線93に電流を流して磁界を発生させる。その際、第1のビット線91に対して第2のビット線92には、逆方向の電流を流す。この発生した磁界は第1、第2の情報記憶素子14、15の第1、第2の記憶層24、31の磁界方向を決定することができる。しかし、第1、第2の磁化固定層22、33の磁界

方向を変化させることはできない。

【0167】一度決定された磁界方向は、第1、第2のビット線91、92および書き込みワード線93の電流を遮断しても前の状態に戻ることは無く、磁界を保持することができる。

【0168】次に、第1、第2のビット線91、92および書き込みワード線93の両方もしくは一方の電流の流れる方向を逆方向にすることにより、その周辺に発生する磁界は変化する。磁界が変化するることにより、第1、第2の記憶層24、31の磁界方向が逆転し、第1、第2のビット線91、92および書き込みワード線93の電流を遮断しても、前の状態に戻ることは無く、磁界を保持することができる。

【0169】前述したように、この磁化容易軸にそった第1、第2の記憶層24、31の磁化方向として2通りの方向が可能であり、第1の記憶層24と第1の磁化固定層22との方向が同じ方向になった場合、ならびに第2の記憶層31と第2の磁化固定層33との方向が同じ方向になった場合を平行方向（もしくは平行状態）、180°逆方向になった場合を反平行方向（もしくは反平行状態）と呼ぶ。

【0170】第1の記憶層24の磁界方向と第1の磁化固定層22の磁界方向が平行状態になった場合、第2の記憶層31の磁界方向と第2の磁化固定層33の磁界方向が平行状態になった場合には、第1、第2のトンネル絶縁層23、32を電子が通過できる確率が高くなる。つまり抵抗値が低くなる。

【0171】逆に反平行状態になった場合には、電子が通過できる確率が低くなる。つまり、抵抗値が高くなる。よって、第1、第2の記憶層24、31の磁界方向を変化させることにより、この第1、第2の情報記憶素子14、15の両端、つまり第1のビット線91と第1のコンタクト16との間に電圧をかけた場合、第2のビット線92と第2のコンタクト17との間に電圧をかけた場合、この第1、第2情報記憶素子14、15を流れる電流に差が出ることになる。

【0172】その結果、この第1、第2の記憶層24、31の磁化方向により第1、第2情報記憶素子14、15の2通りのビット状態（0または1）が明確に定義される。

【0173】次に、前記図11に示した構成において、第2の情報記憶装置に係る第2、第3の実施の形態として、第1の導電体層21と第1のコンタクト16との接続をローカル配線によって形成する一例を図12、図13によって説明する。なお、下地絶縁膜、第1～第5の絶縁膜は2点鎖線で示した。

【0174】図12に示すように、第1、第2のビット線91、92、第1、第2の情報記憶素子14、15、書き込みワード線93、第2の導電体層34、第2のコンタクト17、下地絶縁膜51、第1～第5の絶縁膜1

41～145等は、前記図11によって説明した構成と同様である。

【0175】そして、この第2の実施の形態では、第1の導電体層21が前記第2の導電体層34とは反対方向に形成され、書き込みワード線93を挟んで第2のコンタクト17とは反対側に、第3の絶縁膜143よりトランジスタ素子（図示せず）に向けて第1のコンタクト16が形成されている。また第3の絶縁膜143には、その表面より第1の導電体層21に接続するローカル配線コンタクト64が形成されている。さらに第3の絶縁膜143上には上記第1のコンタクト16と上記ローカル配線コンタクト64とに接続するように、ローカル配線65が形成されている。このローカル配線65は、例えば上記書き込みワード線93と同一層で形成されてもよく、または別層で形成されてもよい。

【0176】図13に示すように、第1、第2のビット線91、92、第1、第2の情報記憶素子14、15、書き込みワード線93、第2の導電体層34、第2のコンタクト17、下地絶縁膜51、第1～第5の絶縁膜141～145等は、前記図11によって説明した構成と同様である。

【0177】そして、この第3の実施の形態では、第1の導電体層21が前記第2の導電体層34とは反対方向に形成され、書き込みワード線93を挟んで第2のコンタクト17とは反対側に、第4の絶縁膜144よりトランジスタ素子（図示せず）に向けて第1のコンタクト16が形成されている。また第4の絶縁膜144には、その表面より第1の導電体層21に接続するローカル配線コンタクト67が形成されている。そして第4の絶縁膜144上には上記第1のコンタクト16と上記ローカル配線コンタクト67とに接続するように、ローカル配線68が形成されている。

【0178】また、第2の情報記憶装置2における第1、第2のコンタクト16、17の配置例を、図14のレイアウト図によって説明する。

【0179】次いで、図14の（1）に示すコンタクトの配置例は、平面レイアウト上、第1の導電体層21と第2の導電体層34とを、第1のビット線91の一方側でかつ書き込みワード線93を挟んで対称位置に延在させ、書き込みワード線93の一方側に延在させた第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1のビット線91に接触しないように配置し、書き込みワード線93の他方側に延在させた第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1のビット線91および書き込みワード線93に接触しないようにその一方側に配置した例である。なお、第1の導電体層21が接続される第1の情報記憶素子14は第1ビット線91と書き込みワード線93との交点において、また第2の導電体層34が接続される第2の情報記憶素子15は書き込みワード線93と

第2のビット線（図示せず）の交点において書き込みワード線93を挟んで対向する位置に配置されている。また、図示はしていないが、第2のビット線は第1のビット線91上方に形成される。

【0180】図14の（2）に示すコンタクトの配置例は、平面レイアウト上、第1の導電体層21と第2の導電体層34とを、第1のビット線91を挟んで対称位置に延在させ、第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1のビット線91に接触しないように配置し、第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1のビット線91および書き込みワード線93に接触しないようにその一方側に配置した例である。なお、第1の導電体層21が接続される第1の情報記憶素子14は第1ビット線91と書き込みワード線93との交点において、また第2の導電体層34が接続される第2の情報記憶素子15は書き込みワード線93と第2のビット線（図示せず）の交点において書き込みワード線93を挟んで対向する位置に配置されている。また、図示はしていないが、第2のビット線は第1のビット線91上方に形成される。

【0181】図14の（3）に示すコンタクトの配置例は、平面レイアウト上における第1のビット線91と書き込みワード線93との交点に対してほぼ対称に、第1の導電体層21と第2の導電体層34とを延在させ、一方側に延在させた第1の導電体層21の延在させた部分に接続する第1のコンタクト16を第1のビット線91に接触しないように配置し、他方側に延在させた第2の導電体層34の延在させた部分に接続する第2のコンタクト17を第1のビット線91および書き込みワード線93に接触しないように配置した例である。なお、第1の導電体層21が接続される第1の情報記憶素子14は第1ビット線91と書き込みワード線93との交点において、また第2の導電体層34が接続される第2の情報記憶素子15は書き込みワード線93と第2のビット線（図示せず）の交点において書き込みワード線93を挟んで対向する位置に配置されている。また、図示はしていないが、第2のビット線は第1のビット線91上方に形成される。

【0182】図14の（4）に示すコンタクトの配置例は、平面レイアウト上、第1、第2のビット線91、92が互いに重ならないように配置されている。よって、第1の情報記憶素子14は第1のビット線91と書き込みワード線93とが交差する間に形成され、第2の情報記憶素子15は第1のビット線92と書き込みワード線93とが交差する間に形成されている。このような配線構成では、第1のコンタクト16は書き込みワード線93の一方側で第2のビット線92の下方に第1のビット線91に接触しないように配置され、第2のコンタクト17は書き込みワード線93を挟んで第1のコンタクト

16と対称な位置に第1のビット線91、書き込みワード線93等に接触しないように配置される。そして第1の導電体層21は第1の情報記憶素子の下面と第1のコンタクト16の上端とを接続し、第2の導電体層34は第2の情報記憶素子の上面と第2のコンタクト17の上端とを接続するように配置されている。

【0183】次に、本発明の第2の情報記憶装置の製造方法に係わる実施の形態を、図15の製造工程断面図によって説明する。なお、下地絶縁膜、第1～第6の絶縁膜は2点鎖線で示した。

【0184】図15の(1)に示すように、半導体基板(図示せず)にはトランジスタ素子(図示せず)が形成され、それを覆う下地絶縁膜51が形成されている。この下地絶縁膜51上に第1のビット線を形成するための膜を形成した後、リソグラフィー技術、エッチング技術等を用いてその膜を第1のビット線91に加工する。その後、第1のビット線91を被覆する第1の絶縁膜141を形成した後、その第1の絶縁膜141表面を平坦化して、上記第1のビット線91上面を露出する。この平坦化は、例えば化学的機械研磨もしくはエッチバック等により行う。

【0185】なお、図示はしないが、上記第1のビット線91は、溝配線技術を用いて溝配線構造に形成することも可能である。すなわち、下地絶縁膜51上に第1の絶縁膜141を形成する。この第1の絶縁膜141表面は平坦化しておく。次いで、リソグラフィー技術、エッチング技術等を用いてその第1の絶縁膜141に第1のビット線を形成するための溝を形成する。そして、その溝内に第1のビット線の材料層を埋め込んだ後、上記第1の絶縁膜141上の余剰な材料層を例えば化学的機械研磨により除去することにより、第1のビット線91を溝配線構造に形成する。

【0186】次に、図15の(2)に示すように、CVD法、PVD法等の成膜技術により、上記第1のビット線91上および上記第1の絶縁膜141上に、第1の記憶層24を例えばコバルト鉄(CoFe)で成膜して積層膜を形成する。次いで第1のトンネル絶縁層23を例えば酸化アルミニウムで成膜する。さらに第1の磁化固定層22を例えばコバルト鉄(CoFe)もしくはコバルト(Co)もしくは鉄(Fe)で成膜する。その後、リソグラフィー技術とエッチング技術とを用いて、上記積層膜を加工して第1の情報記憶素子14を形成する。

【0187】次いで、図15の(3)に示すように、上記第1の絶縁膜141上に、上記第1の情報記憶素子14を覆う第2の絶縁膜142を形成する。その後、例えば化学的機械研磨によって、上記第2の絶縁膜142表面を平坦化するとともに上記第1の情報記憶素子14の上面を露出させる。

【0188】さらに、上記第2の絶縁膜142より下層に、前記トランジスタ素子に接続するもので上記第1の

情報記憶素子14の一方における端子となる第1のコンタクト16を第1のビット線91に接触しないように形成する。第1のコンタクト16の形成方法としては、リソグラフィー技術とエッチング技術とによって、第2の絶縁膜142より下層の上記トランジスタ素子(図示せず)に向かって接続孔を形成した後、上記接続孔内に必要に応じてバリア層を形成し、その後導電体を埋め込み、プラグを形成することによる。上記導電体やバリア層が第2の絶縁膜142上にも形成された場合には、第2の絶縁膜142上の余剰な導電体やバリア層を除去する。

【0189】次いで、CVD法、PVD法等の成膜技術を用いて、上記第2の絶縁膜142上に第1の導電体層21を形成する。第1の導電体層21は、下層より反強磁性体層とバリア層とで形成する。反強磁性体層は、例えば白金マンガン(PtMn)、鉄マンガン(FeMn)等の反強磁性材料で形成し、バリア層は、例えば窒化チタン、タンタル、窒化タンタル等の材料で形成する。その後、リソグラフィー技術とエッチング技術とを用いて、上記第2の絶縁膜142上に、上記第1の情報記憶素子14と上記第1のコンタクト16の一端とを接続するように第1の導電体層21を加工する。

【0190】上記成膜例では第1の磁化固定層22、第1のトンネル絶縁層23、第1の記憶層24を単層膜で形成したが、第1の磁化固定層22、第1のトンネル絶縁層23、第1の記憶層24を複数の膜を積層した積層膜で形成することも可能である。

【0191】また、第1の磁化固定層22と第1の導電体層21の反強磁性体層との組み合わせは、第1の記憶層24の磁化容易軸に平行となるように、耐ブロッキング温度(150℃～300℃、通常は250℃)よりも高い温度まで加熱中に強力な磁場をかけることで形成することもできる。もしくは、反強磁性体層に相当する部位を結晶学的組成に誘導する方法により形成し、第1の磁化固定層22の磁化方向を固定することもできる。

【0192】次いで、図15の(4)に示すように、CVD法によって、上記第2の絶縁膜142上に第1の導電体層21を覆う第3の絶縁膜143を形成する。その後、例えば化学的機械研磨によって、上記第3の絶縁膜143表面を平坦化する。この平坦化では、上記第1の導電体層21上に第3の絶縁膜143が所定の厚さだけ残るように平坦化を行う。もしくは、CVD法によって、上記第2の絶縁膜142上に第1の導電体層21を覆う第3の絶縁膜の下層を形成する。その後、例えば化学的機械研磨によって、上記第3の絶縁膜の下層表面を平坦化する。この平坦化では、上記第1の記憶層24表面が露出するように平坦化する。その後、第3の絶縁膜の下層上に上記第1の導電体層21を覆う第3の絶縁膜の上層を形成する方法を採用してもよい。

【0193】次に、溝配線技術を用いて書き込みワード

線 93 を形成する。以下、その詳細を説明する。第 3 の絶縁膜 143 上に第 4 の絶縁膜の上層 144a を形成する。次いで、リソグラフィー技術、エッチング技術等を用いて、第 4 の絶縁膜 144 に、上記第 1 の書き込み用ビット線 91 に平面視的に交差するように書き込みワード線を形成するための溝を形成する。次いで、その溝内に書き込みワード線の材料層を埋め込んだ後、上記第 4 の絶縁膜 144 上の余剰な材料層を例えば化学的機械研磨により除去することにより、上記第 1 の書き込み用ビット線 91 に平面視的に交差するもので上記第 1 の情報記憶素子 14 の上方を通る溝配線構造の書き込みワード線 93 を形成する。その後、第 4 の絶縁膜の下層 144a 上に第 4 の絶縁膜の上層 144b を形成する。

【0194】もしくは、図示はしないが、第 3 の絶縁膜の上層 143 上に書き込みワード線を形成するための膜を形成した後、リソグラフィー技術、エッチング技術等を用いてその膜を書き込みワード線 93 に加工する。その後、書き込みワード線 93 を被覆する第 4 の絶縁膜の下層 144a を形成した後、書き込みワード線 93 の表面が露出するように第 4 の絶縁膜の下層 144a 表面を平坦化する。この平坦化は、例えば化学的機械研磨もしくはエッチバック等により行う。さらに第 4 の絶縁膜の下層 144a 上に、書き込みワード線 93 を覆う第 4 の絶縁膜の上層 144b を形成して、第 4 の絶縁膜 144 を構成する。

【0195】次に、図 15 の (5) に示すように、上記第 4 の絶縁膜 144 より下層の絶縁膜に第 2 の情報記憶素子の一方における端子となるもので前記トランジスタ素子ストッパ (図示せず) に接続される第 2 のコンタクト 17 を形成する。第 2 のコンタクト 17 の形成方法としては、リソグラフィー技術とエッチバック技術とによって、第 4 の絶縁膜 144 より下層の上記トランジスタ素子 (図示せず) に向かって接続孔を形成した後、上記接続孔内に必要に応じてバリア層を形成し、その後導電体を埋め込み、プラグを形成することによる。上記導電体やバリア層が第 4 の絶縁膜 144 上にも形成された場合には、第 4 の絶縁膜 144 上の余剰な導電体やバリア層を除去する。

【0196】次いで、CVD 法、PVD 法等の成膜技術を用いて、上記第 4 の絶縁膜 144 上に第 2 の導電体層 34 を形成する。第 2 の導電体層 34 は、下層よりバリア層と反強磁性体層とを積層して形成する。バリア層は、例えば窒化チタン、タンタル、窒化タンタル等の材料で形成し、反強磁性体層は、例えば白金マンガン (PtMn)、鉄マンガン (FeMn) 等の反強磁性材料で形成する。さらに、第 2 の導電体層 34 上に、第 2 の磁化固定層 33 を例えばコバルト鉄 (CoFe) もしくはコバルト (Co) もしくは鉄 (Fe) で成膜して積層膜を形成し、第 2 のトンネル絶縁層 32 を例えば酸化アルミニウムで成膜し、第 2 の記憶層 31 を例えばコバルト

鉄 (CoFe) で成膜する。これら成膜は大気開放することなく連続して行うことが好ましい。その後、リソグラフィー技術とエッチング技術とを用いて、上記第 2 の記憶層 31 より第 2 の磁化固定層 33 の積層膜を加工して、上記第 1 の情報記憶装置 14 上方に第 2 の情報記憶素子 15 を形成する。次いで、リソグラフィー技術とエッチング技術とを用いて、上記第 2 の情報記憶装置 15 と上記第 2 のコンタクト 17 の一端とを接続するように第 2 の導電体層 34 を加工する。

【0197】上記成膜例では、第 2 の磁化固定層 31、第 2 のトンネル絶縁層 32、第 2 の記憶層 33 は単層膜で形成したが、第 2 の磁化固定層 31、第 2 のトンネル絶縁層 32、第 2 の記憶層 33 を複数の膜を積層した積層膜で形成することも可能である。

【0198】次いで、図 15 の (6) に示すように、CVD 法によって、上記第 4 の絶縁膜 144 上に、第 2 の情報記憶素子 15 を覆う第 5 の絶縁膜 145 を形成する。その後、例えば化学的機械研磨によって、上記第 2 の情報記憶素子 15 の磁化固定層 31 表面が露出するように第 5 の絶縁膜 145 の表面を平坦化する。

【0199】次いで、第 5 の絶縁膜 145 上に第 2 の書き込みワード線を形成するための膜を形成する。その後、リソグラフィー技術、エッチング技術等により上記膜を加工して、第 5 の絶縁膜 145 上に、第 2 の磁気記憶素子 15 に接続するもので上記第 1 の書き込み用ビット線 91 に沿った第 2 のビット線 92 を形成する。その後、第 5 の絶縁膜 145 上に、上記第 2 のビット線 92 を被覆する第 6 の絶縁膜 (図示せず) を形成した後、その第 6 の絶縁膜表面を平坦化する。この平坦化は、例えば化学的機械研磨もしくはエッチバック等により行う。

【0200】上記第 2 のビット線 92 の形成は、前記第 1 のビット線 91 の形成方法で説明したように、溝配線技術を用いて形成することも可能である。

【0201】上記第 2 の情報記憶装置 2 の製造方法では、書き込みワード線 93 を挟んで第 1 の情報記憶素子 14 と第 2 の情報記憶素子 15 とを形成することから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が 2 倍の情報記憶装置を形成することが可能になる。このため、情報の記憶量が向上される。また単位ビット当たりの製造コストが低減される。

【0202】本発明の実施の形態で説明した第 1 ～ 第 5 の絶縁膜、第 1、第 2 の層間絶縁膜等の絶縁膜材料には、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、酸化シリコン、窒化シリコン、酸化窒化シリコン等の絶縁材料を用いることが可能である。

【0203】上記各実施の形態において、第 1 の導電体層 21 上に第 1 の情報記憶素子 14 を形成する場合に、第 1 の導電体層 21 と第 1 の情報記憶素子 14 を構成する膜とを成膜した後、リソグラフィー技術とエッチング技術により第 1 の情報記憶素子 14 を形成し、その

後さらにリソグラフィー技術とエッチング技術により、第1の導電体層21を加工することも可能である。この場合には、第1の情報記憶素子14を形成した後に絶縁膜を形成し、その絶縁膜表面を平坦化するとともに第1の情報記憶素子14上面を露出させればよい。

【0204】同様に、第2の導電体層34上に第2の情報記憶素子15を形成する場合には、第2の導電体層34と第2の情報記憶素子15を構成する膜とを成膜した後、リソグラフィー技術とエッチング技術により第2の情報記憶素子15を形成し、その後さらにリソグラフィー技術とエッチング技術により、第2の導電体層34を加工することも可能である。この場合には、第1の情報記憶素子14を形成した後に絶縁膜を形成し、その絶縁膜表面を平坦化するとともに第1の情報記憶素子14上面を露出させればよい。

【0205】

【発明の効果】以上、説明したように本発明の第1の情報記憶装置によれば、ビット線を挟んで第1の情報記憶素子と第2の情報記憶素子とが設けられているので、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍になる。このため、情報の記憶量が大幅に多くなる。また第1の書き込みワード線と第2の書き込みワード線とに逆方向の電流を同時に流して情報の書き込みを行うことにより、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、電流値を少なくしても、第1、第2の情報記憶素子における記憶層の磁化を行うことができ、低消費電力化が図れる。

【0206】本発明の第2の情報記憶装置によれば、書き込みワード線を挟んで第1の情報記憶素子と第2の情報記憶素子とが設けられているので、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍になる。このため、情報の記憶量が大幅に多くなる。また第1のビット線と第2のビット線とに逆方向の電流を同時に流して情報の書き込みを行うことにより、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、電流値を少なくしても、第1、第2の情報記憶素子における記憶層の磁化を行うことができ、低消費電力化が図れる。

【0207】本発明の第1の情報記憶装置その情報書き込み方法によれば、第1の書き込みワード線と第2の書き込みワード線とに逆方向の電流を同時に流して情報の書き込みを行うことができるので、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、少ない電流値でも、第1、第2の情報記憶素子における記憶層の磁化を行うことができるので、低消費電力化が図れる。

【0208】本発明の第2の情報記憶装置その情報書き込み方法によれば、第1のビット線と第2のビット線とに逆方向の電流を同時に流して情報の書き込みを行うこ

とができるので、第1、第2の情報記憶素子部分の磁界方向が同じ方向となり、磁力を強めることができる。よって、少ない電流値でも、第1、第2の情報記憶素子における記憶層の磁化を行うことができるので、低消費電力化が図れる。

【0209】本発明の第1の情報記憶装置の製造方法によれば、ビット線を挟んで第1の情報記憶素子と第2の情報記憶素子とを形成することから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍の情報記憶装置を形成することが可能になる。このため、情報の記憶量が大きい情報記憶装置を形成することができる。また単位ビット当たりの製造コストの低減が可能になる。

【0210】本発明の第2の情報記憶装置の製造方法によれば、書き込みワード線を挟んで第1の情報記憶素子と第2の情報記憶素子とを形成することから、従来の情報記憶装置よりも単位面積当たりの情報記憶素子数が2倍の情報記憶装置を形成することが可能になる。このため、情報の記憶量が大きい情報記憶装置を形成することができる。また単位ビット当たりの製造コストの低減が可能になる。

【図面の簡単な説明】

【図1】本発明の第1の情報記憶装置に係る第1の実施の形態を示す情報記憶装置の要部を示す部分断面斜視図である。

【図2】第1の情報記憶装置の詳細を示す概略構成図である。

【図3】本発明の第2の実施の形態を示す概略構成図である。

【図4】本発明の第1の情報記憶装置に係わるコンタクトの配置例を示すレイアウト図である。

【図5】本発明の第1の情報記憶装置の製造方法に係わる実施の形態を示す製造工程図である。

【図6】本発明の第1の情報記憶装置の製造方法に係わる実施の形態を示す製造工程図（続き）である。

【図7】本発明の第1の情報記憶装置の製造方法に係る第2の実施の形態を示す概略構成図である。

【図8】本発明の第1の情報記憶装置の製造方法に係る第3の実施の形態を示す概略構成図である。

【図9】本発明の第1の情報記憶装置の製造方法に係る第4の実施の形態を示す概略構成図である。

【図10】本発明の第1の情報記憶装置に係る実施の形態を示す情報記憶装置のメモリ部を示す部分断面斜視図である。

【図11】本発明の第2の情報記憶装置の詳細を示す概略構成図である。

【図12】本発明の第2の情報記憶装置の製造方法に係る第2の実施の形態を示す概略構成図である。

【図13】本発明の第2の情報記憶装置の製造方法に係る第3の実施の形態を示す概略構成図である。

【図14】本発明の第2の情報記憶装置に係わるコンタクトの配置例を示すレイアウト図である。

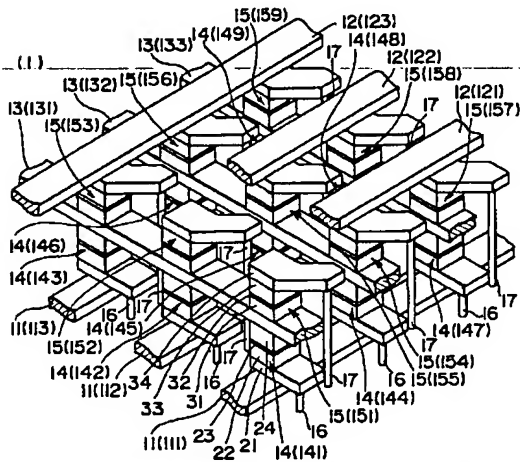
【図15】本発明の第2の情報記憶装置の製造方法に係わる実施の形態を示す製造工程図である。

【符号の説明】

*

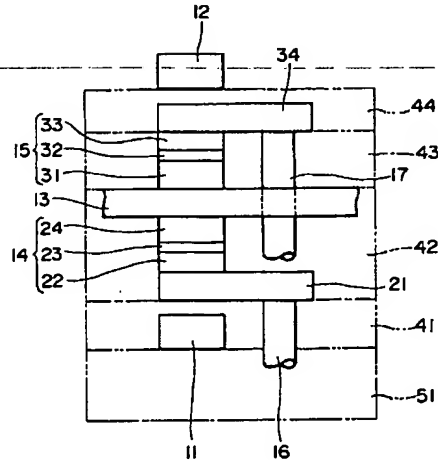
* 1…第1の情報記憶装置、11…第1の書き込みワード線、12…第2の書き込みワード線、13…ビット線、14…第1の情報記憶素子、15…第2の情報記憶素子

【図1】

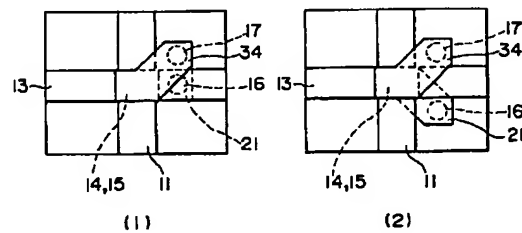
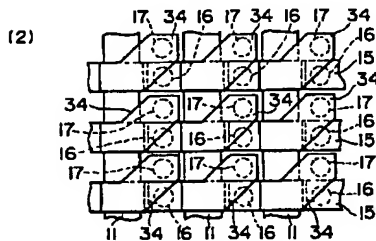


1…第1の情報記憶装置 11…第1の書き込みワード線
12…第2の書き込みワード線 13…ビット線
14…第1の情報記憶素子 15…第2の情報記憶素子

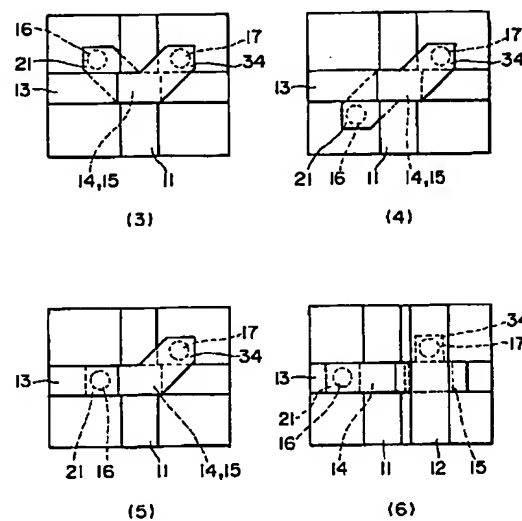
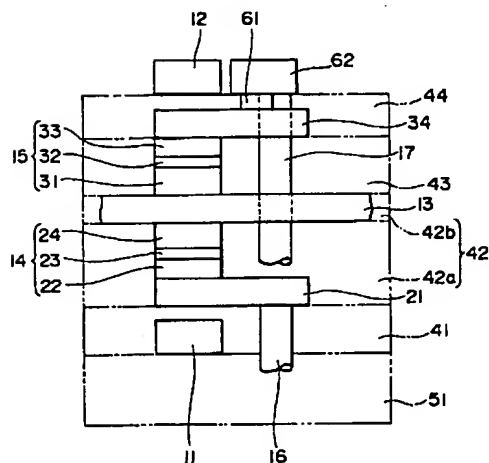
【図2】



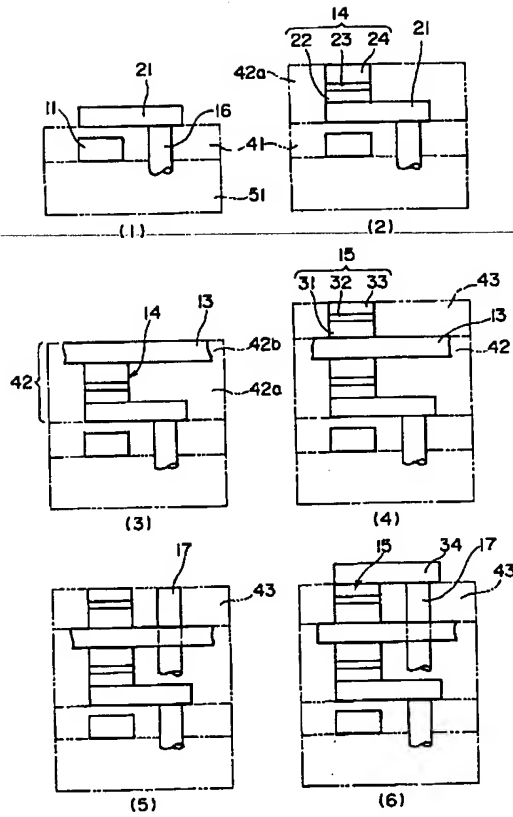
【図4】



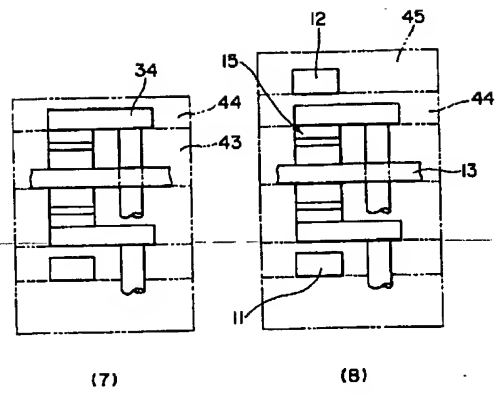
【図3】



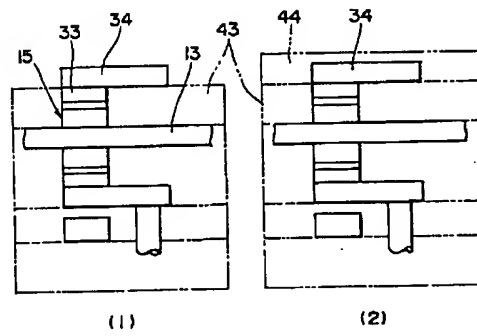
【図5】



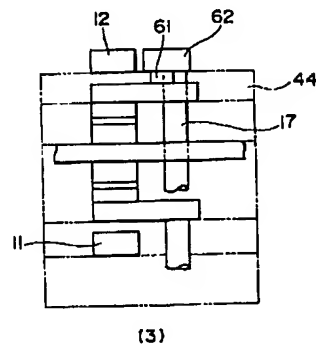
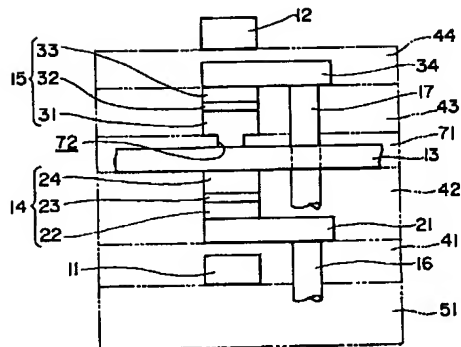
【図6】



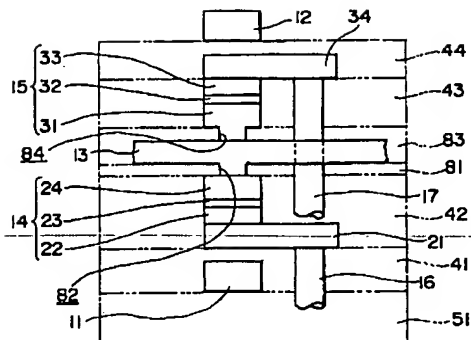
【図7】



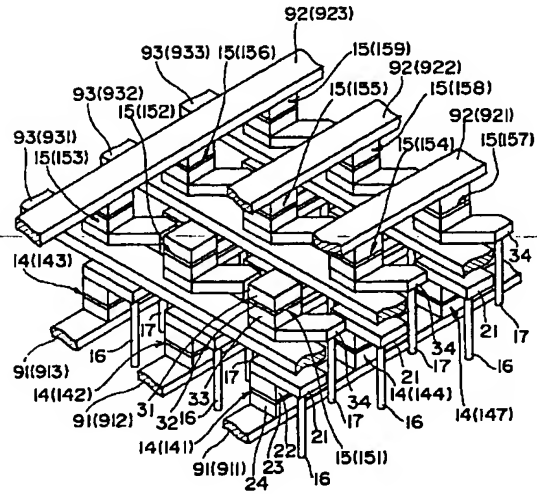
【図8】



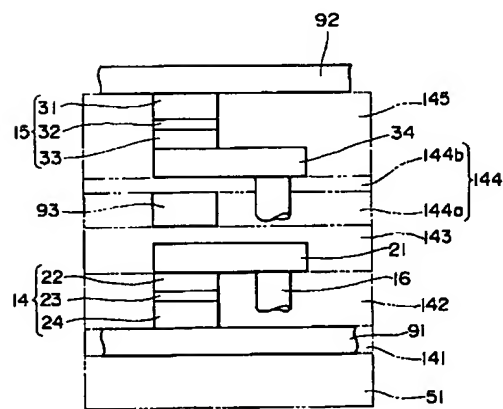
【図9】



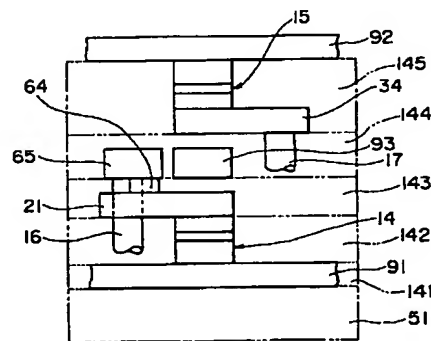
【図10】



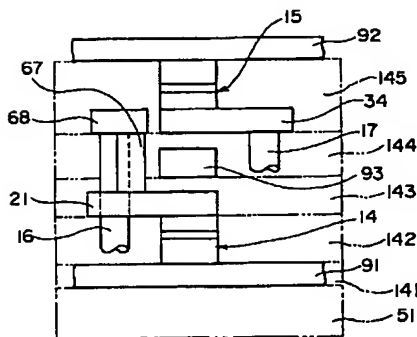
【図11】



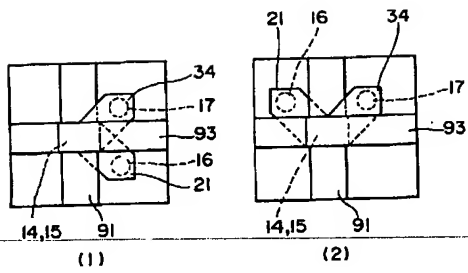
【図12】



【図13】



【図14】



【図15】

